

(19) 日本国特許庁 (JP)

## (12) 特 許 公 報 (B2)

(11) 特許番号

特許第6137621号  
(P6137621)

(45) 発行日 平成29年5月31日 (2017.5.31)

(24) 登録日 平成29年5月12日 (2017.5.12)

(51) Int.Cl.

F I

H O 1 L 21/338 (2006.01)

H O 1 L 29/80 H

H O 1 L 29/812 (2006.01)

H O 1 L 29/78 3 O 1 B

H O 1 L 29/778 (2006.01)

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 (2006.01)

請求項の数 6 (全 20 頁)

(21) 出願番号 特願2014-20635 (P2014-20635)  
 (22) 出願日 平成26年2月5日 (2014.2.5)  
 (65) 公開番号 特開2015-149359 (P2015-149359A)  
 (43) 公開日 平成27年8月20日 (2015.8.20)  
 審査請求日 平成28年5月11日 (2016.5.11)

(73) 特許権者 000003207  
 トヨタ自動車株式会社  
 愛知県豊田市トヨタ町1番地  
 (73) 特許権者 592032636  
 学校法人トヨタ学園  
 愛知県名古屋市天白区久方2丁目12番地  
 1  
 (74) 代理人 110000110  
 特許業務法人快友国際特許事務所  
 (72) 発明者 柳田 知義  
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内  
 (72) 発明者 富田 英幹  
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

最終頁に続く

(54) 【発明の名称】 化合物半導体 F E T

## (57) 【特許請求の範囲】

## 【請求項 1】

化合物半導体 F E T であって、  
 半導体基板と、ソース電極と、ゲート電極と、ドレイン電極と、バックゲート電極を有しており、

前記半導体基板内には、

二次元電子ガスと二次元ホールガスのいずれか一方である深部キャリアガス層と、

二次元電子ガスと二次元ホールガスのいずれか他方であり、前記深部キャリアガス層よりも前記半導体基板の表面側であって前記深部キャリアガス層と対向する位置に配置されている表面側キャリアガス層、

が存在しており、

前記ソース電極と前記ゲート電極と前記ドレイン電極は、前記半導体基板の前記表面に、直接、または他の層を介して接続されており、

前記バックゲート電極は、前記深部キャリアガス層と導通しており、

前記表面側キャリアガス層と前記深部キャリアガス層の間隔が、前記ゲート電極と前記ドレイン電極の間の領域及び前記ゲート電極と前記ソース電極の間の領域のうちの少なくとも一部において、前記ゲート電極と対向する領域よりも広い化合物半導体 F E T。

## 【請求項 2】

前記深部キャリアガス層のキャリア濃度が、前記ゲート電極と前記ドレイン電極の間の領域及び前記ゲート電極と前記ソース電極の間の領域のうちの少なくとも一部において、

前記ゲート電極と対向する領域よりも低い請求項 1 の化合物半導体 F E T。

【請求項 3】

化合物半導体 F E T であって、

第 1 半導体層と、

前記第 1 半導体層上に積層されており、前記第 1 半導体層よりバンドギャップが狭い第 2 半導体層と、

前記第 2 半導体層上に積層されており、前記第 2 半導体層よりバンドギャップが広い第 3 半導体層と、

前記第 3 半導体層の表面に、直接、または他の層を介して形成されているソース電極、ゲート電極、及びドレイン電極と、

前記第 1 半導体層と前記第 2 半導体層の境界の第 1 ヘテロ接合と導通しているバックゲート電極、

を有しており、

前記第 2 半導体層と前記第 3 半導体層の境界が第 2 ヘテロ接合を構成しており、

前記第 1 ヘテロ接合と前記第 2 ヘテロ接合の間の間隔が、前記ゲート電極と前記ドレイン電極の間の領域及び前記ゲート電極と前記ソース電極の間の領域のうちの少なくとも一部において、前記ゲート電極と対向する領域よりも広い化合物半導体 F E T。

【請求項 4】

前記第 1 半導体層の厚みが、前記ゲート電極と前記ドレイン電極の間の領域及び前記ゲート電極と前記ソース電極の間の領域のうちの少なくとも一部において、前記ゲート電極と対向する領域よりも薄い請求項 3の化合物半導体 F E T。

【請求項 5】

前記第 1 半導体層内に、前記第 1 ヘテロ接合に沿って、高ドーパント領域が形成されており、

前記高ドーパント領域では、その下側の前記第 1 半導体層よりもドーパント濃度が高く、

前記高ドーパント領域内のドーパント濃度が、前記ゲート電極と前記ドレイン電極の間の領域及び前記ゲート電極と前記ソース電極の間の領域のうちの少なくとも一部において、前記ゲート電極と対向する領域よりも低い請求項 3 または 4の化合物半導体 F E T。

【請求項 6】

化合物半導体 F E T であって、

第 1 半導体層と、

前記第 1 半導体層上に積層されており、前記第 1 半導体層よりバンドギャップが狭い第 2 半導体層と、

前記第 2 半導体層上に積層されており、前記第 2 半導体層よりバンドギャップが広い第 3 半導体層と、

前記第 3 半導体層の表面に、直接、または他の層を介して形成されているソース電極、ゲート電極、及びドレイン電極と、

前記第 1 半導体層と前記第 2 半導体層の境界の第 1 ヘテロ接合と導通しているバックゲート電極、

を有しており、

前記第 2 半導体層と前記第 3 半導体層の境界が第 2 ヘテロ接合を構成しており、

前記第 1 半導体層と前記第 2 半導体層が前記ソース電極の下部から前記ドレイン電極の下部まで伸びていることで、前記第 1 ヘテロ接合が前記ソース電極の下部から前記ドレイン電極の下部まで伸びており、

前記第 1 半導体層の厚みが、前記ゲート電極と前記ドレイン電極の間の領域及び前記ゲート電極と前記ソース電極の間の領域のうちの少なくとも一部において、前記ゲート電極と対向する領域よりも薄い化合物半導体 F E T。

【発明の詳細な説明】

【技術分野】

## 【 0 0 0 1 】

本明細書が開示する技術は、化合物半導体 F E T に関し、より典型的には H E M T に関する。

## 【 背景技術 】

## 【 0 0 0 2 】

特許文献 1 には、ヘテロ接合部に形成されるキャリアガスをチャネルとして用いる化合物半導体 F E T が開示されている。化合物半導体 F E T によれば、高速かつ低損失のスイッチング素子を実現される。

## 【 先行技術文献 】

## 【 特許文献 】

10

## 【 0 0 0 3 】

【 特許文献 1 】 特開 2 0 0 8 - 1 3 5 5 7 5 号公報

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 4 】

一般に、化合物半導体 F E T のゲート閾値電圧（すなわち、化合物半導体 F E T をオンさせるために最低限必要なゲート電圧）は低い。化合物半導体 F E T を安定して動作させるためには、ゲート閾値電圧を上昇させることが望ましい。化合物半導体 F E T の電流経路である二次元電子ガスまたは二次元ホールガスの濃度を低下させることで、化合物半導体 F E T のゲート閾値電圧を上昇させることができる。しかしながら、このようにゲート閾値電圧を上昇させると、化合物半導体 F E T のオン電圧が上昇してしまう。

20

## 【 課題を解決するための手段 】

## 【 0 0 0 5 】

本明細書が開示する第 1 の化合物半導体 F E T は、半導体基板と、ソース電極と、ゲート電極と、ドレイン電極と、バックゲート電極を有している。半導体基板内には、二次元電子ガスと二次元ホールガスのいずれか一方である深部キャリアガス層と、二次元電子ガスと二次元ホールガスのいずれか他方であり、深部キャリアガス層よりも半導体基板の表面側であって深部キャリアガス層と対向する位置に配置されている表面側キャリアガス層が存在している。ソース電極とゲート電極とドレイン電極は、半導体基板の前記表面に、直接、または他の層を介して接続されている。バックゲート電極は、深部キャリアガス層と導通している。表面側キャリアガス層のキャリア濃度は、ゲート電極とドレイン電極の間の領域及びゲート電極とソース電極の間の領域のうちの少なくとも一部において、ゲート電極と対向する領域よりも高い。

30

## 【 0 0 0 6 】

なお、上記の「半導体基板の表面側」は、ソース電極、ゲート電極及びドレイン電極が形成されている表面に近い側を意味する。上記の「深部キャリアガス層と対向する位置」は、半導体基板を厚み方向に沿って見たときに深部キャリアガス層と重なる位置を意味する。上記の「ゲート電極とドレイン電極の間の領域」は、半導体基板を厚み方向に沿って見たときに、ゲート電極とドレイン電極の間に位置する領域を意味する。上記の「ゲート電極とソース電極の間の領域」は、半導体基板を厚み方向に沿って見たときに、ゲート電極とソース電極の間に位置する領域を意味する。上記の「ゲート電極と対向する領域」は、半導体基板を厚み方向に沿って見たときにゲート電極と重なる領域を意味する。

40

## 【 0 0 0 7 】

なお、本明細書において、ソース電極とゲート電極とドレイン電極は、これらのうちのいずれかが半導体基板の表面に直接接続されており、残りが他の層を介して半導体基板の表面に接続されていてもよい。また、各電極と半導体基板の間に他の層が介在する場合は、介在する各層は互いに異なる層であってもよい。

## 【 0 0 0 8 】

また、本明細書において、「ゲート電極とドレイン電極の間の領域」とは、半導体基板をその厚み方向に平面視した場合において、ゲート電極とドレイン電極の間に存在する領

50

域を意味する。また、「ゲート電極とソース電極の間の領域」とは、半導体基板をその厚み方向に平面視した場合において、ゲート電極とソース電極の間に存在する領域を意味する。また、「ゲート電極と対向する領域」とは、半導体基板をその厚み方向に平面視した場合において、ゲート電極と重なる領域を意味する。

【 0 0 0 9 】

この化合物半導体 F E T では、表面側キャリアガス層が主電流経路となる。この化合物半導体 F E T では、表面側キャリアガス層のキャリア濃度が、ゲート電極と対向する領域で低く、その他の領域の少なくとも一部で高い。ゲート電極と対向する領域で表面側キャリアガス層のキャリア濃度が低いので、この化合物半導体 F E T はゲート閾値電圧が高い。その一方で、その他の領域の少なくとも一部では表面側キャリアガス層のキャリア濃度が高くなっており、これによって電流経路の高移動度が実現される。したがって、この化合物半導体 F E T はオン電圧が低い。すなわち、この化合物半導体 F E T によれば、高いゲート閾値電圧と低いオン電圧を両立させることができる。さらに、この化合物半導体 F E T では、バックゲート電極が深部キャリアガス層と導通している。したがって、バックゲート電極の電位によって、深部キャリアガス層の電位を制御することができる。深部キャリアガス層の電位を低くすると、深部キャリアガス層に対向する表面側キャリアガス層のキャリア濃度が低下する。したがって、この化合物半導体 F E T では、バックゲート電極の電位によって、ゲート閾値電圧を制御することができる。

10

【 0 0 1 0 】

本願明細書が開示する第 2 の化合物半導体 F E T は、半導体基板と、ソース電極と、ゲート電極と、ドレイン電極と、バックゲート電極を有している。半導体基板内には、二次元電子ガスと二次元ホールガスのいずれか一方である深部キャリアガス層と、二次元電子ガスと二次元ホールガスのいずれか他方であり、深部キャリアガス層よりも半導体基板の表面側であって深部キャリアガス層と対向する位置に配置されている表面側キャリアガス層が存在している。ソース電極とゲート電極とドレイン電極は、半導体基板の前記表面に、直接、または他の層を介して接続されている。バックゲート電極は、深部キャリアガス層と導通している。表面側キャリアガス層と深部キャリアガス層の間隔は、ゲート電極とドレイン電極の間の領域及びゲート電極とソース電極の間の領域のうちの少なくとも一部において、ゲート電極と対向する領域よりも広い。

20

【 0 0 1 1 】

この化合物半導体 F E T では、表面側キャリアガス層が主電流経路となる。この化合物半導体 F E T では、ゲート電極と対向する領域では表面側キャリアガス層と深部キャリアガス層の間隔が狭く、その他の領域の少なくとも一部で表面側キャリアガス層と深部キャリアガス層の間隔が広い。表面側キャリアガス層と深部キャリアガス層の間隔が狭いと、表面側キャリアガス層におけるキャリア濃度が低くなる。すなわち、この化合物半導体 F E T では、ゲート電極と対向する領域では前記間隔が狭くなっていることで表面側キャリアガス層のキャリア濃度が低くなっており、これによって、高いゲート閾値電圧が実現されている。その一方で、その他の領域の少なくとも一部では、前記間隔が広がっていることで表面側キャリアガス層のキャリア濃度が高くなっており、これによって、電流経路の高移動度が実現されている。したがって、この化合物半導体 F E T は、オン電圧が低い。すなわち、この化合物半導体 F E T によれば、高いゲート閾値電圧と低いオン電圧を両立させることができる。さらに、この化合物半導体 F E T では、バックゲート電極の電位（すなわち、深部キャリアガス層の電位）を制御することによって、ゲート閾値電圧を制御することができる。

30

40

【 0 0 1 2 】

上述した第 2 の化合物半導体 F E T では、深部キャリアガス層のキャリア濃度が、ゲート電極とドレイン電極の間の領域及びゲート電極とソース電極の間の領域のうちの少なくとも一部において、ゲート電極と対向する領域よりも低くてもよい。

【 0 0 1 3 】

この化合物半導体 F E T では、ゲート電極と対向する領域では深部キャリアガス層のキ

50

キャリア濃度が高く、その他の領域の少なくとも一部で深部キャリアガス層のキャリア濃度が低い。深部キャリアガス層のキャリア濃度が高い領域では、表面側キャリアガス層のキャリア濃度が低くなる。すなわち、この化合物半導体FETでは、ゲート電極と対向する領域では深部キャリアガス層のキャリア濃度が高くなっていることで表面側キャリアガス層のキャリア濃度が低くなっており、これによって、より高いゲート閾値電圧が実現される。その一方で、その他の領域の少なくとも一部では、深部キャリアガス層のキャリア濃度が低くなっていることで表面側キャリアガス層のキャリア濃度が高くなっており、これによって、電流経路のより低い抵抗（すなわち、より低いオン電圧）が実現される。

【0014】

また、表面側キャリアガス層と深部キャリアガス層の間隔にかかわらず、深部キャリアガス層のキャリア濃度をゲート電極と対向する領域で高くしてもよい。

10

【0015】

上述したいずれかの化合物半導体FETにおいては、ゲート電極と対向する領域において、深部キャリアガス層のキャリア濃度が、表面側キャリアガス層のキャリア濃度よりも高くてもよい。

【0016】

バックゲート電極の電位を低下させていくと、表面側キャリアガス層のキャリア濃度と共に、深部キャリアガス層のキャリア濃度も低下する。深部キャリアガス層のキャリア濃度が略ゼロになると、深部キャリアガス層の抵抗が高くなるため、それ以上深部キャリアガス層全体の電位を引き下げることができなくなる。上記のように、ゲート電極と対向する領域において、深部キャリアガス層のキャリア濃度が表面側キャリアガス層のキャリア濃度よりも高いと、バックゲート電極の電位を低下させていく場合に、ゲート電極と対向する位置において、表面側キャリアガス層のキャリア濃度が深部側ガス層のキャリア濃度よりも先に略ゼロとなる。すなわち、この構成によれば、バックゲート電極の電位を調節することで、ゲート電圧を印加しないときの表面側キャリアガス層のキャリア濃度を略ゼロとすることができる。これによって、化合物半導体FETのノーマリオフを実現することができる。

20

【0017】

上述したいずれかの化合物半導体FETにおいて、ソース電極とバックゲート電極が導通していてもよい。

30

【0018】

このような構成によれば、ソース電極とバックゲート電極を共通化できるので、より容易に化合物半導体FETを製造することが可能となる。

【0019】

また、本願明細書が開示する第3の化合物半導体FETは、第1半導体層と、第2半導体層と、第3半導体層と、ソース電極と、ゲート電極と、ドレイン電極と、バックゲート電極を有する。第2半導体層は、第1半導体層上に積層されており、第1半導体層よりバンドギャップが狭い。第3半導体層は、第2半導体層上に積層されており、第2半導体層よりバンドギャップが広い。ソース電極、ゲート電極、及びドレイン電極は、第3半導体層の表面に、直接、または他の層を介して形成されている。バックゲート電極は、第1半導体層と第2半導体層の境界の第1ヘテロ接合と導通している。第2半導体層と第3半導体層の境界が第2ヘテロ接合を構成している。第1ヘテロ接合と第2ヘテロ接合の間隔が、ゲート電極とドレイン電極の間の領域及びゲート電極とソース電極の間の領域のうちの少なくとも一部において、ゲート電極と対向する領域よりも広い。

40

【0020】

第3の化合物半導体FETでは、第1半導体層と第2半導体層の間の第1ヘテロ接合に、二次元ホールガスが形成され、第2半導体層と第3半導体層の間の第2ヘテロ接合に、二次元電子ガスが形成される。すなわち、二次元ホールガスが深部キャリアガス層に相当し、二次元電子ガスが表面側キャリアガス層に相当する。第1ヘテロ接合と第2ヘテロ接合の間隔が、ゲート電極と対向する領域で狭く、その外側の少なくとも一部の領域で

50

広い。これによって、ゲート電極と対向する領域で二次元電子ガスのキャリア濃度が低くなっており、その他の領域の少なくとも一部で二次元電子ガスのキャリア濃度が高くなっている。したがって、この化合物半導体 FET によれば、高いゲート閾値電圧と低いオン電圧を両立させることができる。さらに、この化合物半導体 FET では、バックゲート電極の電位を制御することで、ゲート閾値電圧を調節することができる。

【0021】

また、第1ヘテロ接合と第2ヘテロ接合の位置、各部のキャリア濃度等を制御することで、第3の化合物半導体 FET でも、第1及び第2の化合物半導体 FET と同様の利点を得ることができる。

【図面の簡単な説明】

10

【0022】

【図1】実施例1のHEMT10の縦断面図。

【図2】バックゲート電圧未印加時の図1のA-A線におけるバンドギャップ図。

【図3】バックゲート電圧印加時の図1のA-A線におけるバンドギャップ図。

【図4】実施例2のHEMT200の縦断面図。

【図5】実施例3のHEMT300の縦断面図。

【図6】実施例4のHEMT400の縦断面図。

【図7】実施例5のHEMT500の縦断面図。

【図8】実施例6のHEMT600の縦断面図。

【図9】実施例7のHEMT700の縦断面図。

20

【図10】実施例8のHEMT800の縦断面図。

【発明を実施するための形態】

【0023】

最初に、以下に説明する実施例の特徴を列記する。なお、ここに列記する特徴は、何れも独立して有効なものである。

【0024】

(特徴1) 表面側キャリアガス層が二次元電子ガスである場合には、表面側キャリアガス層のキャリア濃度  $N_e$  は、以下の数式により算出することができる。

【数1】

30

$$N_e = \frac{\varepsilon_2}{\varepsilon_1} Nd - \frac{\varepsilon_2}{e} \left( \frac{\frac{1}{2} E_{g1} - \Delta E_{c1}}{W_t} \right) - \frac{\varepsilon_2}{e} \left( \frac{E_{g2} - V_a}{W_c} \right)$$

上記数1において、 $E_{g1}$  は表面側キャリアガス層（二次元電子ガス）が形成されているヘテロ接合を構成する2つの層のうちの広いバンドギャップを有する第1層（例えば、AlGaAs）のバンドギャップエネルギーである。 $E_{g2}$  は前記2つの層のうちの狭いバンドギャップを有する第2層（例えば、GaAs）のバンドギャップエネルギーである。 $\varepsilon_1$  は第1層の誘電率である。 $\varepsilon_2$  は第2層の誘電率である。 $W_t$  は第1層の厚みである。 $W_c$  は第2層の厚みである。 $\Delta E_{c1}$  は前記ヘテロ接合における伝導帯側のバンドオフセットである。 $N_d$  は、前記ヘテロ接合に沿ってプラス電荷が存在する領域（すなわち、変調ドープまたは分極により形成されたプラス電荷が存在する領域）におけるプラス電荷の空間電荷濃度である。 $V_a$  は、深部キャリアガス層（二次元ホールガス）の電位である。 $e$  は電気素量（ $1.602 \times 10^{-19}$  クーロン）である。また、この場合において、深部キャリアガス層（二次元ホールガス）のキャリア濃度  $N_h$  は、以下の数式により算出することができる。

40

## 【数 2】

$$Nh = \frac{\varepsilon_2}{\varepsilon_3} Na - \frac{\varepsilon_2}{e} \left( \frac{\frac{1}{2} Eg_3 - \Delta Ev_2}{Wb} \right) - \frac{\varepsilon_2}{e} \left( \frac{Eg_2 - Va}{Wc} \right)$$

上記数 2 において、 $Eg_3$  は深部キャリアガス層（二次元ホールガス）が形成されているヘテロ接合を構成する 2 つの層のうちの広いバンドギャップを有する第 3 層（例えば、 $AlGaAs$ ）のバンドギャップエネルギーである。 $Eg_2$  は前記 2 つの層のうちの狭いバンドギャップを有する第 2 層（例えば、 $GaAs$ ）のバンドギャップエネルギーである。 $\varepsilon_3$  は第 3 層の誘電率である。 $\varepsilon_2$  は第 2 層の誘電率である。 $Wb$  は第 3 層の厚みである。 $Wc$  は第 2 層の厚みである。 $\Delta Ev_2$  は前記ヘテロ接合における価電子体側のバンドオフセットである。 $Na$  は、前記ヘテロ接合に沿ってマイナス電荷が存在する領域（すなわち、変調ドーブまたは分極により形成されたマイナス電荷が存在する領域）におけるマイナス電荷の空間電荷濃度である。 $Va$  は、深部キャリアガス層（二次元ホールガス）の電位である。 $e$  は電気素量（ $1.602 \times 10^{-19}$  クーロン）である。

（特徴 2）表面側キャリアガス層が二次元ホールガスである場合には、表面側キャリアガス層のキャリア濃度  $Nh$  は、以下の数式により算出することができる。

## 【数 3】

$$Nh = \frac{\varepsilon_2}{\varepsilon_1} Na - \frac{\varepsilon_2}{e} \left( \frac{\frac{1}{2} Eg_1 - \Delta Ev_1}{Wt} \right) - \frac{\varepsilon_2}{e} \left( \frac{Eg_2 + Va}{Wc} \right)$$

上記数 3 において、 $Eg_1$  は表面側キャリアガス層（二次元ホールガス）が形成されているヘテロ接合を構成する 2 つの層のうちの広いバンドギャップを有する第 1 層（例えば、 $AlGaAs$ ）のバンドギャップエネルギーである。 $Eg_2$  は前記 2 つの層のうちの狭いバンドギャップを有する第 2 層（例えば、 $GaAs$ ）のバンドギャップエネルギーである。 $\varepsilon_1$  は第 1 層の誘電率である。 $\varepsilon_2$  は第 2 層の誘電率である。 $Wt$  は第 1 層の厚みである。 $Wc$  は第 2 層の厚みである。 $\Delta Ev_1$  は前記ヘテロ接合における価電子帯側のバンドオフセットである。 $Na$  は、前記ヘテロ接合に沿ってマイナス電荷が存在する領域（すなわち、変調ドーブまたは分極により形成されたマイナス電荷が存在する領域）におけるマイナス電荷の空間電荷濃度である。 $Va$  は、深部キャリアガス層（二次元電子ガス）の電位である。 $e$  は電気素量（ $1.602 \times 10^{-19}$  クーロン）である。また、この場合において、深部キャリアガス層（二次元電子ガス）のキャリア濃度  $Ne$  は、以下の数式により算出することができる。

## 【数 4】

$$Ne = \frac{\varepsilon_2}{\varepsilon_3} Nd - \frac{\varepsilon_2}{e} \left( \frac{\frac{1}{2} Eg_3 - \Delta Ec_2}{Wb} \right) - \frac{\varepsilon_2}{e} \left( \frac{Eg_2 + Va}{Wc} \right)$$

上記数 4 において、 $Eg_3$  は深部キャリアガス層（二次元電子ガス）が形成されているヘテロ接合を構成する 2 つの層のうちの広いバンドギャップを有する第 3 層（例えば、 $AlGaAs$ ）のバンドギャップエネルギーである。 $Eg_2$  は前記 2 つの層のうちの狭いバンドギャップを有する第 2 層（例えば、 $GaAs$ ）のバンドギャップエネルギーである。 $\varepsilon_3$  は第 3 層の誘電率である。 $\varepsilon_2$  は第 2 層の誘電率である。 $Wb$  は第 3 層の厚みである。 $Wc$  は第 2 層の厚みである。 $\Delta Ec_2$  は前記ヘテロ接合における伝導帯側のバンドオフセットである。 $Nd$  は、前記ヘテロ接合に沿ってプラス電荷が存在する領域（すなわち、変調ドーブまたは分極により形成されたプラス電荷が存在する領域）におけるプラス電荷

の空間電荷濃度である。V aは、深部キャリアガス層（二次元電子ガス）の電位である。eは電気素量（ $1.602 \times 10^{-19}$ クーロン）である。

（特徴3）深部キャリアガス層のキャリア濃度が、いずれの位置においても、対向する位置の表面側キャリアガス層のキャリア濃度よりも高い。

（特徴4）深部キャリアガス及び表面側キャリアガスが形成されるヘテロ接合は、バンドギャップが相違する2つの半導体層を積層することによって形成されている。バンドギャップの相違する半導体層の組み合わせを例示すると、特に限定されないが、2種類以上の相違する結晶材料、同位体材料、結晶構造材料の組み合わせを挙げることができる。より具体的には、結晶材料の組み合わせとしては、例えば、AlGaInとGaIn、AlGaAsとGaAs、または、InAlGaAsPとInGaP等のようにIII族原子とV族原子をそれぞれ1種類以上含むIII-V族半導体化合物の組み合わせを採用することができる。また、別の結晶材料の組み合わせとして、例えば、ZnMgOとZnO等のようにII族原子とVI族原子をそれぞれ1種類以上含むII-VI族半導体化合物の組み合わせ、SiGeCとSiGeSiとGe等のようにIV族原子を1種類以上含み、互いに組成比が相違するIV族半導体化合物の組み合わせ、CZTS等のII-IV-VI族半導体化合物等を挙げることができる。なお、上記の化合物の表記においては、組成比を表すサフィックスは省略されており、適宜好ましい組成比の化合物を用いることができる。また、同位体材料の組み合わせとしては、例えば、 $^{13}\text{C}$ と $^{12}\text{C}$ 、 $^{28}\text{Si}$ と $^{29}\text{Si}$ と $^{30}\text{Si}$ を挙げることができる。また、結晶構造材料の組み合わせとしては、例えば、ウルツ鉱構造のGaInと閃亜鉛構造のGaIn、単結晶のGaInと多結晶のGaInを挙げることができる。バンドギャップの相違する半導体層の組み合わせとしてとして好ましいものを挙げると、バンドギャップ差が大きく、格子定数差が小さい組み合わせや、バンドギャップ差が大きく、自発分極係数及びピエゾ分極係数大きい組み合わせが好ましい。また、それぞれの半導体層が、高熱伝導度、高移動度、高飽和速度及び低欠陥密度の特性を有していることが好ましい。さらに、AlGaInとGaInの組み合わせ等の、バンドギャップ差が大きく、格子定数差が小さく、かつ、自発分極係数及びピエゾ分極定数大きい組み合わせは、特に好ましい。なお、該組み合わせ（すなわち、AlGaInとGaInの組み合わせ等）の場合は、分極効果によって、下記実施例中の高ドーパント層24b、28bがなくても二次元ホールガス25b、二次元電子ガス27bが形成される。

#### 【実施例1】

##### 【0025】

図1に示す実施例1のHEMT10は、半導体基板20と、ソース電極42と、ゲート電極44と、ドレイン電極46と、バックゲート電極48を有している。なお、図1では、図の見易さを考慮して、一部の半導体層のハッチングを省略している。

##### 【0026】

半導体基板20は、GaAs基板22と、AlGaAs層24と、GaAs層26と、AlGaAs層28を有している。

##### 【0027】

GaAs基板22は、絶縁性であり、平坦な下面を有している。GaAs基板22の上面には、段差22aが形成されている。

##### 【0028】

AlGaAs層24は、GaAs基板22上に形成されている。AlGaAs層24は、GaAs基板22の上面の形状に沿って、略一定の厚さに形成されている。したがって、AlGaAs層24の上面には、段差24dが形成されている。AlGaAs層24は、下層24a、高ドーパント層24b、及び、上層24cを有する。下層24aは、i型のAlGaAsにより構成されており、GaAs基板22の上面に形成されている。高ドーパント層24bは、BeがドーパされたAlGaAsにより構成されており、下層24a上に形成されている。上層24cは、i型のAlGaAsにより構成されており、高ドーパント層24b上に形成されている。下層24a及び上層24cはi型であるので、高ドーパント層24b内のドーパント濃度は下層24a及び上層24cよりも高い。

## 【0029】

GaAs層26は、AlGaAs層24上に形成されている。GaAs層26は、後述するp型拡散領域26aを除いて、i型のGaAsにより構成されている。GaAs層26のエネルギーバンドギャップは、AlGaAs層24のエネルギーバンドギャップよりも小さい。したがって、GaAs層26とAlGaAs層24との接合部25aは、ヘテロ接合となっている。AlGaAs層24の上面が段差24dを有するので、ヘテロ接合25aは段差24dに沿って伸びている。ヘテロ接合25a近傍のGaAs層26には、ヘテロ接合25aに沿って、二次元ホールガス25b（以下、2DHG25bという）が形成されている。なお、2DHG25bの厚みは極めて薄いので、実質的には2DHG25bの位置はヘテロ接合25aの位置と一致する。GaAs層26の上面は、略平坦である。したがって、図1において、段差24dよりも左側の領域30におけるGaAs層26の厚みは、段差24dよりも右側の領域32におけるGaAs層26の厚みよりも薄い。

10

## 【0030】

AlGaAs層28は、GaAs層26上に形成されている。AlGaAs層28のエネルギーバンドギャップは、GaAs層26のエネルギーバンドギャップよりも大きい。したがって、GaAs層26とAlGaAs層28との接合部27aは、ヘテロ接合となっている。ヘテロ接合27a近傍のGaAs層26には、ヘテロ接合27aに沿って、二次元電子ガス27b（以下、2DEGという）が形成されている。なお、2DEG27bの厚みは極めて薄いので、実質的には2DEG27bの位置はヘテロ接合27aの位置と一致する。2DEG27b内の電子の濃度（以下、2DEG27bの濃度という）は、何れの位置の2DHG25b内のホールの濃度（以下、2DHG25bの濃度という）よりも低い。AlGaAs層28は、略一定の厚さを有する。AlGaAs層28は、下層28a、高ドーパント層28b、及び、上層28cを有する。下層28aは、i型のAlGaAsにより構成されており、GaAs層26の上面に形成されている。高ドーパント層28bは、CがドーピングされたAlGaAsにより構成されており、下層28a上に形成されている。上層28cは、i型のAlGaAsにより構成されており、高ドーパント層28b上に形成されている。下層28a及び上層28cはi型であるので、高ドーパント層28b内のドーパント濃度は下層28a及び上層28cよりも高い。また、上層28c内には、n型のドーパントを拡散させることで形成されたソース領域28d及びドレイン領域28eが形成されている。ソース領域28dは、領域30内の上層28cの上面に露出する範囲に部分的に形成されている。ドレイン領域28eは、領域32内の上層28cの上面に露出する範囲に部分的に形成されている。

20

30

## 【0031】

ソース電極42、ゲート電極44、ドレイン電極46は、AlGaAs層28上に形成されている。ソース電極42とゲート電極44は、領域30内に配置されており、ドレイン電極46は領域32内に配置されている。ソース電極42は、ソース領域28d上に形成されており、ソース領域28dに対してオーミック接続されている。ドレイン電極46は、ドレイン領域28e上に形成されており、ドレイン領域28eに対してオーミック接続されている。ゲート電極44は、上層28c上に形成されており、上層28cに対してショットキー接続されている。

40

## 【0032】

図1の左端の領域においては、半導体基板20にメサ構造50が形成されている。メサ構造50では、GaAs層26上にAlGaAs層28が存在しておらず、GaAs層26が露出している。バックゲート電極48は、その露出しているGaAs層26の表面に形成されている。バックゲート電極48の下部のGaAs層26内には、p型ドーパントを拡散させることで形成されたp型拡散領域26aが形成されている。バックゲート電極48は、p型拡散領域26aに対してオーミック接続されている。バックゲート電極48は、p型拡散領域26aと、その直下のGaAs層26を介して、2DHG25bと導通している。

50

## 【 0 0 3 3 】

次に、H E M T 1 0 の動作について説明する。H E M T 1 0 を動作させる際には、バックゲート電極 4 8 を、負電位に接続する。図 2、3 は、図 1 の A - A 線（すなわち、ゲート電極 4 4 の直下）におけるバンドギャップ図を模式的に示している。図 2 は、バックゲート電極 4 8 をソース電極 4 8 と同電位とした状態を示しており、図 3 は、バックゲート電極 4 8 を負電位に接続した状態を示している。なお、図 2、3 において、符号 E f はフェルミレベルを示す。図 2 に示すように、バックゲート電極 4 8 をソース電極 4 8 と同電位とした状態では、A l G a A s 層 2 8 と G a A s 層 2 6 の境界部の伝導帯に谷間が形成され、その谷間に自由電子が溜まることで 2 D E G 2 7 b が形成されている。また、G a A s 層 2 6 と A l G a A s 層 2 4 の境界部の価電子帯に谷間が形成され、その谷間にホールが溜まることで 2 D H G 2 5 b が形成されている。バックゲート電極 4 8 が負電位に接続されると、A l G a A s 層 2 4 側のバンドが上側にシフトし、その結果、2 D E G 2 7 b が存在する谷間、及び、2 D H G 2 5 b が存在する谷間が狭くなる。これによって、2 D E G 2 7 b 内のキャリア濃度、及び、2 D H G 2 5 b 内のキャリア濃度が低下する。バックゲート電極 4 8 の電位をさらに下げると、2 D E G 2 7 b（より詳細には、領域 3 0 内の 2 D E G 2 7 b）が消失する。他方、本実施例では、2 D H G 2 5 b 内のホールの濃度が 2 D E G 2 7 b の濃度よりも高いので、2 D E G 2 7 b が消失するときのバックゲート電極 4 8 の電位では、2 D H G 2 5 b は消失しない。このため、バックゲート電極 4 8 を介して 2 D H G 2 5 b を負電位に接続することで、2 D E G 2 7 b を消失させることができる。本実施例では、バックゲート電極 4 8 は、ソース電極 4 2 よりも低い電位であって、領域 3 0 内の 2 D E G 2 7 b を消失させるのに十分な電位に接続される。

## 【 0 0 3 4 】

また、H E M T 1 0 を動作させる際には、ドレイン電極 4 6 とソース電極 4 2 の間に、ドレイン電極 4 6 が高電位となる電圧が印加される。ゲート電極 4 4 は、ゲート電圧を印加しない状態（すなわち、ソース電極 4 2 以下の電位を印加した状態）とゲート電圧を印加した状態（すなわち、ソース電極 4 2 よりも高い電位を印加した状態）の間に切り替えられる。ゲート電圧が印加されていない状態では、領域 3 0 内に 2 D E G 2 7 b が存在していないので、ドレイン電極 4 6 とソース電極 4 2 の間に電流は流れない。ゲート電圧が印加されると、ゲート電極 4 4 からの電界によって領域 3 0 内のヘテロ接合 2 7 a 近傍に電子が引き寄せられて、領域 3 0 内に 2 D E G 2 7 b が形成される。これによって、H E M T 1 0 がオンし、ドレイン電極 4 6 からソース電極 4 2 に向かって電流が流れる。すなわち、ドレイン電極 4 6 から、ドレイン領域 2 8 e、2 D E G 2 7 b、ソース領域 2 8 d を通って、ソース電極 4 2 に電流が流れる。このように、H E M T 1 0 では、ゲート電圧が印加されていない状態では、領域 3 0 内に 2 D E G 2 7 b が存在しないようになっている。これによって、ゲート閾値電圧が正の電位まで上昇されており、H E M T 1 0 のノーマリオフが実現されている。

## 【 0 0 3 5 】

また、この H E M T 1 0 では、ゲート電極 4 4 の直下を含む領域 3 0 内の G a A s 層 2 6 の厚みが薄く、ドレイン電極 4 6 側の電流経路を含む領域 3 2 内の G a A s 層 2 6 の厚みが厚い。これによって、領域 3 0 内に形成される 2 D E G 2 7 b と 2 D H G 2 5 b の間の間隔 W 1 が、領域 3 2 内に形成される 2 D E G 2 7 b と 2 D H G 2 5 b の間の間隔 W 2 よりも狭くなっている。この間隔が狭いほど、2 D E G 2 7 b の濃度は低くなる。すなわち、H E M T 1 0 では、領域 3 0 内の 2 D E G 2 7 b の濃度が、領域 3 2 内の 2 D E G 2 7 b の濃度よりも低くなっている。ゲート電極 4 4 の直下を含む領域 3 0 内の 2 D E G 2 7 b の濃度が低くなっていることで、ゲート閾値電圧がより高められている。また、領域 3 2 内の 2 D E G 2 7 b の濃度が高くなっていることで、領域 3 2 内の 2 D E G 2 7 b 内の移動度が高くなっている。これによって、H E M T 1 0 のオン電圧が低減されており、H E M T 1 0 で生じる損失が抑制されている。

## 【 0 0 3 6 】

また、H E M T 1 0 をオフさせている際には、ドレイン電極 4 6 とソース電極 4 2 の間

の印加電圧によって、半導体基板 20 内に局所的に高電界が印加される場合がある。このように高電界が半導体基板 20 に印加されると、高電界が印加された領域に電子とホールが生成される。このように発生した電子とホールが半導体基板 20 内に長時間滞在すると、アバランシェ現象が生じ、問題となる。しかしながら、実施例 1 の H E M T 10 では、2 D H G 2 5 b がバックゲート電極 4 8 を介して負電位に接続されている。このため、半導体基板 20 内で発生したホールは、瞬時に、2 D H G 2 5 b を介してバックゲート電極 4 8 に排出される。また、電子は移動度が高いため、瞬時に、領域 3 2 内の 2 D E G 2 7 b 等を通してドレイン電極 4 6 に排出される。このように、高電界により生じた電子とホールが瞬時に半導体基板 20 の外部に排出されるため、H E M T 10 はアバランシェ耐量が高い。

10

#### 【0037】

次に、実施例 1 の H E M T 10 の製造方法について説明する。まず、絶縁性の G a A s 基板 2 2 を準備する。次に、G a A s 基板 2 2 の上面をエッチング等により加工することで、段差 2 2 a を形成する。次に、M B E 法等により、G a A s 基板 2 2 上に、下層 2 4 a ( i 型の A l G a A s 層：厚み約 4 0 0 n m )、高ドーパント層 2 4 b ( B e がドーパされた A l G a A s 層：厚み約 5 n m )、上層 2 4 c ( i 型の A l G a A s 層：厚み約 5 n m )、G a A s 層 2 6 ( i 型の G a A s 層：厚み約 6 0 0 n m )、下層 2 8 a ( i 型の A l G a A s 層：厚み約 5 n m )、高ドーパント層 2 8 b ( G e がドーパされた A l G a A s 層：厚み約 5 n m )、及び、上層 2 8 c ( i 型の A l G a A s 層：厚み約 4 0 0 n m ) を順に積層する。このように各層を形成することで、ヘテロ接合 2 5 a、2 7 a が形成される。また、熱平衡状態では、高ドーパント層 2 4 b からホールが放出され、放出されたホールがヘテロ接合 2 5 a 近傍に集まり、2 D H G 2 5 b が形成される。また、熱平衡状態では、高ドーパント層 2 8 b から電子が放出され、放出された電子がヘテロ接合 2 7 a 近傍に集まり、2 D E G 2 7 b が形成される。なお、G a A s 層 2 6 を形成する際には、G a A s 層 2 6 を成長させたのちに、その表面をエッチバック等することによって、G a A s 層 2 6 の表面を平坦化する。また、各層を形成する際には、2 D E G 2 7 b の濃度が 2 D H G 2 5 b の濃度よりも低くなるように、各層の厚みやドーパント濃度を調節する。

20

#### 【0038】

次に、半導体基板 20 の一部をエッチングすることで、メサ構造 50 を形成する。次に、Z n 含有 A u 層を蒸着し、その後パターニングすることで、バックゲート電極 4 8 を形成する。次に、G e 含有 A u 層を蒸着し、その後パターニングすることで、ソース電極 4 2 とドレイン電極 4 6 を形成する。次に、半導体基板 20 を熱処理することで、バックゲート電極 4 8 中の Z n、及び、ソース電極 4 2 とドレイン電極 4 6 中の G e を半導体基板 20 中に拡散させる。これによって、p 型拡散領域 2 6 a、ソース領域 2 8 d、及び、ドレイン領域 2 8 e を形成する。すなわち、バックゲート電極 4 8、ソース電極 4 2、及び、ドレイン電極 4 6 を半導体基板 20 にオーミック接続させる。次に、A l 層を蒸着し、その後パターニングすることで、ゲート電極 4 4 を形成する。これにより、ゲート電極 4 4 は半導体基板 20 に対してショットキー接続される。以上の工程により、H E M T 10 を製造することができる。なお、上記の各パターニングは、通常のリソグラフィとエッチングによって行うことができる。

30

40

#### 【0039】

次に、他の実施例に係る H E M T について説明する。なお、以下の説明においては、他の実施例の H E M T のうち、実施例 1 の H E M T 10 に対応する構成要素に対しては実施例 1 と同じ参照番号を用いる。また、実施例 1 と共通の構成については説明を省略する。

#### 【実施例 2】

#### 【0040】

図 4 に示す実施例 2 の H E M T 200 では、G a A s 基板 2 2 の上面が平坦である。また、A l G a A s 層 2 4 の上面に段差 2 4 d が形成されている。段差 2 4 d は、ゲート電極 4 4 とドレイン電極 4 6 の間の位置に形成されている。段差 2 4 d よりもゲート電極 4

50

4 及びソース電極 4 2 側の領域 3 0 では A l G a A s 層 2 4 d の厚みが厚く、段差 2 4 d よりもドレイン電極 4 6 側の領域 3 2 では A l G a A s 層 2 4 d の厚みが薄い。実施例 2 の H E M T 2 0 0 のその他の構成は、実施例 1 の H E M T 1 0 と略等しい。

【 0 0 4 1 】

実施例 2 の H E M T 2 0 0 のように、G a A s 基板 2 2 の上面を平坦とし、A l G a A s 層 2 4 の厚みを変化させることでも、A l G a A s 層 2 4 の上面に段差 2 4 d を形成することができる。これによって、領域 3 0 内における 2 D E G 2 7 b と 2 D H G 2 5 b の間の間隔 W 1 を、領域 3 2 内における 2 D E G 2 7 b と 2 D H G 2 5 b の間の間隔 W 2 よりも狭くすることができる。すなわち、領域 3 0 内の 2 D E G 2 7 b の濃度を、領域 3 2 内の 2 D E G 2 7 b の濃度よりも低くすることができる。

10

【 0 0 4 2 】

また、2 D H G 2 5 b には、A l G a A s 層 2 4 からホールが供給される。領域 3 0 内では、領域 3 2 内よりも A l G a A s 層 2 4 の厚みが厚い。このため、領域 3 0 内では、領域 3 2 内よりも 2 D H G 2 5 b に多くのホールが供給される。このため、領域 3 0 内の 2 D H G 2 5 b の濃度は、領域 3 2 内の 2 D H G 2 5 b の濃度よりも高い。2 D E G 2 7 b の濃度は、対向する 2 D H G 2 5 b の濃度が高いほど、低くなる。すなわち、H E M T 2 0 0 では、2 D H G 2 5 b の濃度分布の影響によっても、領域 3 0 内の 2 D E G 2 7 b の濃度が、領域 3 2 内の 2 D E G 2 7 b の濃度よりも低くなっている。このような構成によれば、ドレイン電極 4 6 側の 2 D E G 2 7 b の濃度を高濃度に維持したまま、ゲート電極 4 4 の直下における 2 D E G 2 7 b の濃度をより効果的に低減することができる。これによって、オン電圧が低く、ゲート閾値電圧が高い H E M T をより容易に実現することができる。

20

【 実施例 3 】

【 0 0 4 3 】

図 5 に示す実施例 3 の H E M T 3 0 0 では、G a A s 基板 2 2 の上面に段差 3 2 2 a が形成されている。段差 3 2 2 a は、ゲート電極 4 4 とドレイン電極 4 6 の間の位置に形成されている。他方、A l G a A s 層 2 4 の上面は平坦である。すなわち、A l G a A s 層 2 4 の厚みは、段差 3 2 2 a よりもゲート電極 4 4 及びソース電極 4 2 側の領域 3 3 0 で厚く、段差 3 2 2 a よりもドレイン電極 4 6 側の領域 3 3 2 で薄い。また、G a A s 層 2 6 の厚みは、ソース電極 4 2 とドレイン電極 4 6 の間で略一定である。すなわち、H E M T 3 0 0 では、2 D E G 2 7 b と 2 D H G 2 5 b の間の間隔が略一定である。

30

【 0 0 4 4 】

実施例 3 の H E M T 3 0 0 の構成によれば、領域 3 3 0 内では、領域 3 3 2 内よりも A l G a A s 層 2 4 の厚みが厚いため、領域 3 3 0 内の 2 D H G 2 5 b の濃度が、領域 3 3 2 内の 2 D H G 2 5 b の濃度よりも高い。このため、領域 3 3 0 内の 2 D E G 2 7 b の濃度が、領域 3 3 2 内の 2 D E G 2 7 b の濃度よりも低い。したがって、ドレイン電極 4 6 側の 2 D E G 2 7 b の濃度を高濃度に維持したまま、ゲート電極 4 4 の直下における 2 D E G 2 7 b の濃度が低減されている。これによって、オン電圧が低く、ゲート閾値電圧が高い H E M T が実現されている。

【 実施例 4 】

40

【 0 0 4 5 】

図 6 に示す実施例 4 の H E M T 4 0 0 では、G a A s 基板 2 2 の上面が平坦である。また、ドレイン電極 4 6 とソース電極 4 2 の間で、A l G a A s 層 2 4 の厚みは略一定である。H E M T 4 0 0 では、A l G a A s 層 2 4 内の高ドーパント層 2 4 b 内のドーパント濃度が、位置によって異なる。図 6 に示すドーパント濃度の境界部 4 2 2 a よりもゲート電極 4 4 及びソース電極 4 2 側の領域 4 3 0 では、境界部 4 2 2 a よりもドレイン電極 4 6 側の領域 4 3 2 よりもドーパント濃度が高い。このため、領域 4 3 0 内の 2 D H G 2 5 b の濃度は、領域 4 3 2 内の 2 D H G 2 5 b の濃度よりも高い。したがって、領域 4 3 0 内の 2 D E G 2 7 b の濃度が、領域 4 3 2 内の 2 D E G 2 7 b の濃度よりも低い。すなわち、ドレイン電極 4 6 側の 2 D E G 2 7 b の濃度を高濃度に維持したまま、ゲート電極 4

50

4の直下における2DEG27bの濃度が低減されている。これによって、オン電圧が低く、ゲート閾値電圧が高いHEMTが実現されている。

【実施例5】

【0046】

図7に示す実施例5のHEMT500では、GaAs基板22の上面が平坦である。また、ドレイン電極46とソース電極42の間で、AlGaAs層24の厚みは略一定である。さらに、AlGaAs層24内の高ドーパント層24b内のドーパント濃度は、略一定である。したがって、2DHG25bの濃度は位置によらず略一定である。このため、2DEG27bの濃度も位置によらず略一定である。以上のように2DEG27bの濃度が略一定であっても、2DEG27bに対向する2DHG25bが存在していれば、HEMT500の使用時に2DHG25b（すなわち、バックゲート電極48）に負電位を印加することで、2DHG25bの濃度を低下させることができる。また、2DHG25bの濃度が2DEG27bの濃度より高いので、HEMT500のゲート閾値電圧をプラス（すなわち、ソース電極42よりも高い電位）まで上昇させることができる。これによって、HEMT500のノーマリオフ化が実現されている。

10

【実施例6】

【0047】

図8に示す実施例6のHEMT600では、実施例5のHEMT500と同様に、GaAs基板22、AlGaAs層24、及びGaAs層26が略一定の厚さを有している。このHEMT600では、ドレイン電極46の下側のn型拡散層（すなわち、ドレイン領域28e）、及び、ソース電極42の下側のn型拡散層（すなわち、ソース領域28d）がGaAs層26（2DHG25bよりも浅い位置）まで伸びている。また、このHEMT600では、メサ構造50が半導体基板20に形成されていない。代わりに、AlGaAs層28の上面からGaAs層26の2DHG25bまで伸びるp型拡散領域648が形成されている。ソース電極42は、p型拡散領域648の上面も覆っており、p型拡散領域648に対してオーミック接続されている。2DHG25bは、p型拡散領域648を介してソース電極42と接続されている。言い換えると、このHEMT600では、ソース電極42がバックゲート電極を兼ねている。したがって、2DHG25bの電位は、ソース電極42と略等しい。このように2DHG25bをソース電極42と短絡させても、2DHG25b及び2DEG27bの濃度及び位置関係を適切に調節することで、ゲート閾値電圧を十分に高めることができる。これによって、HEMT600のノーマリオフ化を実現することができる。また、このようにソース電極42とバックゲート電極を共通化することで、メサ構造を形成する必要がなくなる。AlGaAs層28の表面が平坦となるため、このHEMT600は、効率よく製造することが可能である。

20

30

【0048】

以上、実施例1～6のHEMTについて説明した。なお、実施例6のようにバックゲート電極とソース電極を共通化する構成を、実施例1～5のHEMTに適用してもよい。または、実施例1～5のHEMTにおいて、バックゲート電極48とソース電極42とを短絡させてもよい。また、実施例1～5に示したものよりも、バックゲート電極48をソース電極42等のHEMTの主構造から離れた位置に設けてもよい。2DHG25bの移動度が高いので、バックゲート電極48を主構造から離れた位置に設けても、HEMTを適切に動作させることができる。

40

【0049】

なお、実施例1～6では、上述したように、2DEG27bの濃度及び2DHG25bの濃度を最適化することが好ましい。また、いくつかの実施例では、位置によって2DEG及び2DHGの濃度が異なる。各位置における2DEG27bの濃度は、以下の計算式により表すことができる。

【数 5】

$$Ne = \frac{\varepsilon_2}{\varepsilon_1} Nd - \frac{\varepsilon_2}{e} \left( \frac{\frac{1}{2} Eg_1 - \Delta Ec_1}{Wt} \right) - \frac{\varepsilon_2}{e} \left( \frac{Eg_2 - Va}{Wc} \right)$$

上記数 5 において、 $Eg_1$  は AlGaAs 層 28 のバンドギャップエネルギーである。 $Eg_2$  は GaAs 層 26 のバンドギャップエネルギーである。 $\varepsilon_1$  は AlGaAs 層 28 の誘電率である。 $\varepsilon_2$  は GaAs 層 26 の誘電率である。 $Wt$  は AlGaAs 層 28 の厚みである。 $Wc$  は GaAs 層 26 の厚みである。 $\Delta Ec_1$  はヘテロ接合 27a における伝導帯側のバンドオフセット（図 2 参照）である。 $Nd$  は高ドーパント層 28b におけるプラス電荷の空間電荷濃度である。 $Va$  はバックゲート電極 48（すなわち、2DHG）のソース電極 42 に対する電位である。 $e$  は電気素量（ $1.602 \times 10^{-19}$  クーロン）である。なお、バックゲート電極 48 とソース電極 42 が共通化（短絡）されている場合には、電位  $Va$  は 0 V である。また、各位置における 2DHG 25b の濃度  $Nh$  は、以下の計算式により表すことができる。

10

【数 6】

$$Nh = \frac{\varepsilon_2}{\varepsilon_3} Na - \frac{\varepsilon_2}{e} \left( \frac{\frac{1}{2} Eg_3 - \Delta Ev_2}{Wb} \right) - \frac{\varepsilon_2}{e} \left( \frac{Eg_2 - Va}{Wc} \right)$$

20

上記数 6 において、 $Eg_3$  は AlGaAs 層 24 のバンドギャップエネルギーである。 $Eg_2$  は GaAs 層 26 のバンドギャップエネルギーである。 $\varepsilon_3$  は AlGaAs 層 24 の誘電率である。 $\varepsilon_2$  は GaAs 層 26 の誘電率である。 $Wb$  は AlGaAs 層 24 の厚みである。 $Wc$  は GaAs 層 26 の厚みである。 $\Delta Ev_2$  はヘテロ接合 25a における価電子帯側のバンドオフセット（図 2 参照）である。 $Na$  は高ドーパント層 24b におけるマイナス電荷の空間電荷濃度である。 $Va$  はバックゲート電極 48（すなわち、2DHG）のソース電極 42 に対する電位である。 $e$  は電気素量（ $1.602 \times 10^{-19}$  クーロン）である。

30

【0050】

なお、HEMT をノーマリオフ化する場合には、上述した計算式により算出される  $Ne$  及び  $Nh$  が、 $Ne < Nh$  の関係を満たす必要がある。しかしながら、ノーマリオフ化させない場合にはこの関係は必須ではない。 $Ne > Nh$  の場合であっても、実施例 1～4 の構成によれば、ゲート電極 44 の下側で 2DEG 27b の濃度が低く、その他の領域の少なくとも一部における 2DEG 27b の濃度が高くなることから、ゲート閾値電位を比較的高くするとともに、HEMT のオン電圧を低減することができる。

【0051】

また、実施例 1～6 では、2DEG が半導体基板 20 の表面側に位置し、2DHG が半導体基板 20 の深い側に位置していた。しかしながら、2DHG が半導体基板 20 の表面側に位置し、2DEG が半導体基板 20 の深い側に位置していてもよい。この場合、2DHG がドレイン電極 46 とソース電極 42 の間の電流経路となり、2DEG がバックゲート電極に接続される。

40

【0052】

また、実施例 1～4 の HEMT では、ゲート電極 44 の下側とゲート電極 44 よりもソース電極 42 側の領域で 2DEG 27b の濃度が低くなっており、ゲート電極 44 よりもドレイン電極 46 側の領域で 2DEG 27b の濃度が高くなっていった。しかしながら、少なくともゲート電極 44 の下側の領域で 2DEG 27b の濃度が低くなっており、その他の領域の少なくとも一部で 2DEG 27b の濃度が高くなっていれば、2DEG 27b の濃度はどのように分布していてもよい。例えば、ゲート電極 44 よりもソース電極 42 側

50

の領域とゲート電極 4 4 よりもドレイン電極 4 6 側の領域の両方で、2 D E G 2 7 b の濃度が高くなっていてもよい。また、例えば、ゲート電極 4 4 よりもソース電極 4 2 側の領域でのみ、2 D E G 2 7 b の濃度が高くなっていてもよい。上記のように 2 D E G 2 7 b の濃度を分布させるために、G a A s 層 2 6 の各位置における厚み、A l G a A s 層 2 4 の各位置における厚み、及び、高ドーパント層 2 4 b の各位置におけるドーパント濃度を調節することができる。

【 0 0 5 3 】

また、実施例 1 ~ 6 の H E M T は、変調ドーブによって形成された高ドーパント層 2 4 b 及び 2 8 b を有していた。しかしながら、各層の材料及び面方位を選択することで自発分極またはピエゾ分極により 2 D E G と 2 D H G を発生させることができる場合には、高ドーパント層 2 4 b 及び 2 8 b は形成されていなくてもよい。この場合、2 D E G 及び 2 D H G に沿って、分極によって生じた電荷が存在する層が形成される。

10

【 0 0 5 4 】

また、実施例 1 ~ 6 の H E M T では、A l G a A s 層 2 8 の上面が略平坦であった。しかしながら、図 9 に示すように、A l G a A s 層 2 8 の上面に溝 7 0 2 が形成されており、溝 7 0 2 内にゲート電極 4 4 が形成されていてもよい。このようにゲート電極 4 4 の下側の A l G a A s 層 2 8 を薄くすることで、ゲート電極 4 4 の下側の 2 D E G 2 7 b の濃度をさらに低くすることができる。これによって、H E M T のゲート閾値電圧をさらに上昇させることができる。

【 0 0 5 5 】

20

また、実施例 1 ~ 6 の H E M T では、ゲート電極 4 4 が A l G a A s 層 2 8 に対してショットキー接続されていた。しかしながら、図 1 0 に示すように、ゲート電極 4 4 と A l G a A s 層 2 8 の間に、A l <sub>2</sub> O <sub>3</sub> からなる絶縁層 7 0 4 を設けてもよい。また、ゲート電極 4 4 は、金属であってもよいし、p - G a A s 等の半導体であってもよい。このような構成でも、ゲート電極 4 4 により適切にスイッチングを行うことができる。このように、本明細書に記載の H E M T では、2 D H G 2 5 b の電位、濃度、または、位置によって 2 D E G 2 7 b の濃度を制御できるので、さまざまなタイプのゲート電極 4 4 を採用することができる。

【 0 0 5 6 】

また、実施例 1 ~ 6 のようにソース電極 4 2 とドレイン電極 4 6 が A l G a A s 層 2 8 に接触していてもよいし、他の導電層を介してソース電極 4 2 とドレイン電極 4 6 が A l G a A s 層 2 8 に接続されていてもよい。

30

【 0 0 5 7 】

また、上述した実施例 1 ~ 6 では、基板 2 2 が絶縁性の G a A s により構成されていた。しかしながら、基板 2 2 は、S i やサファイア等、結晶材料を汚染しない材料であれば、何でもよい。

【 0 0 5 8 】

以上、本発明の具体例を詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。

40

本明細書または図面に説明した技術要素は、単独であるいは各種の組み合わせによって技術的有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【符号の説明】

【 0 0 5 9 】

1 0 : H E M T  
2 0 : 半導体基板  
2 2 : G a A s 基板  
2 2 a : 段差

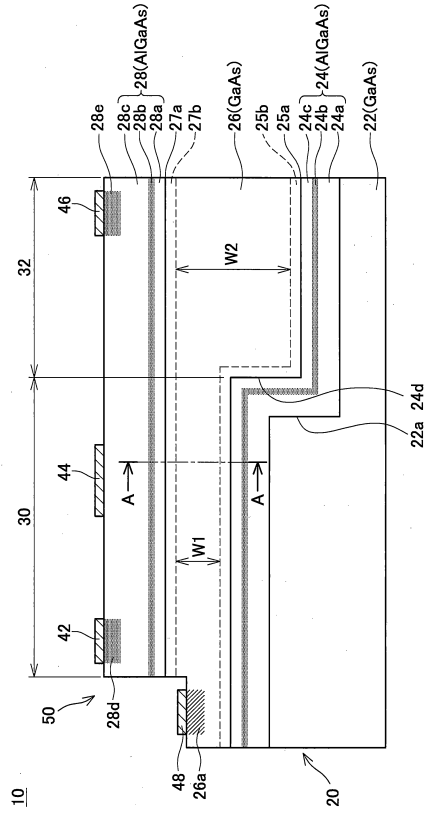
50

2 4 : A l G a A s 層  
2 4 a : 下層  
2 4 b : 高ドーパント層  
2 4 c : 上層  
2 4 d : 段差  
2 5 a : ヘテロ接合  
2 5 b : 2 D H G  
2 6 : G a A s 層  
2 6 a : p 型拡散領域  
2 7 a : ヘテロ接合  
2 7 b : 2 D E G  
2 8 : A l G a A s 層  
2 8 a : 下層  
2 8 b : 高ドーパント層  
2 8 c : 上層  
2 8 d : ソース領域  
2 8 e : ドレイン領域  
3 0 : 領域  
3 2 : 領域  
4 2 : ソース電極  
4 4 : ゲート電極  
4 6 : ドレイン電極  
4 8 : バックゲート電極  
5 0 : メサ構造  
6 4 8 : p 型拡散層  
7 0 2 : 溝  
7 0 4 : 絶縁層

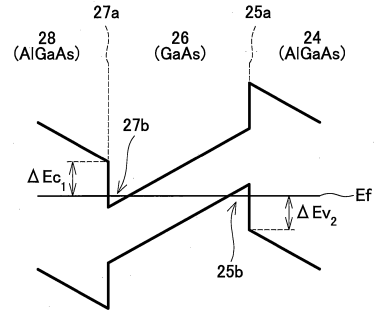
10

20

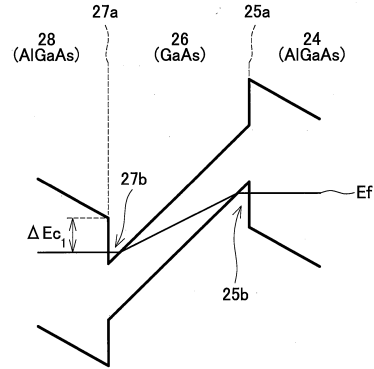
【図 1】



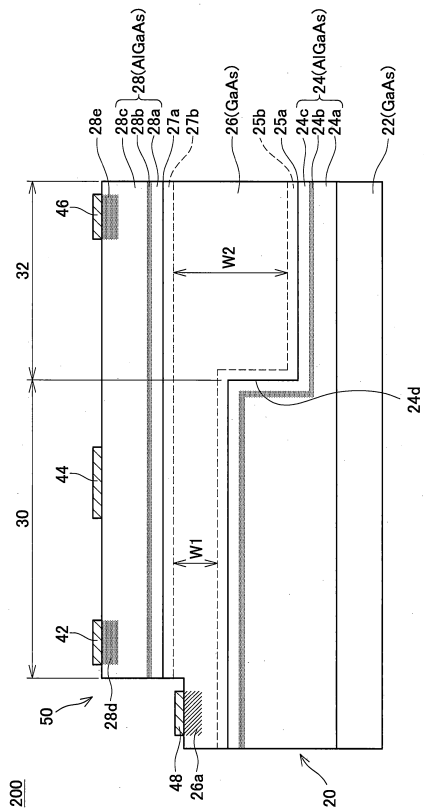
【図 2】



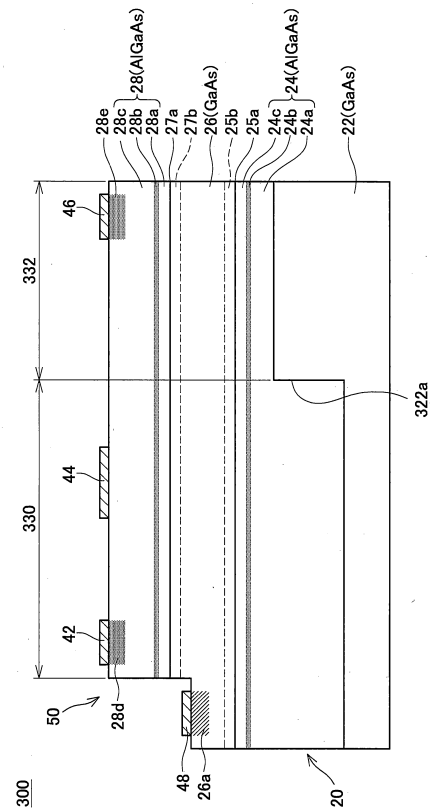
【図 3】



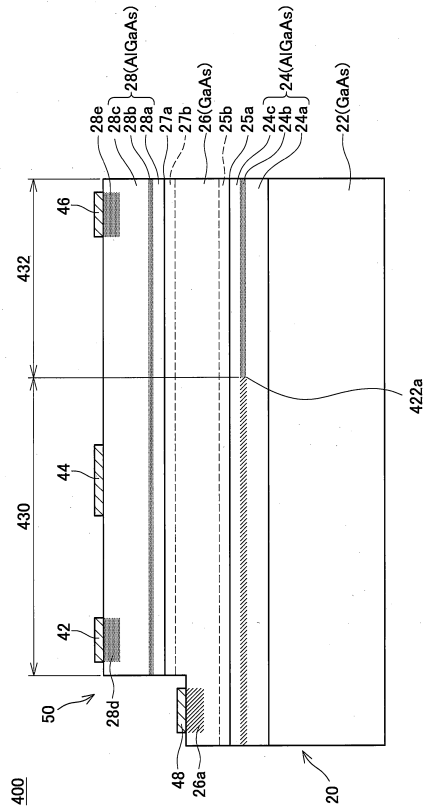
【図 4】



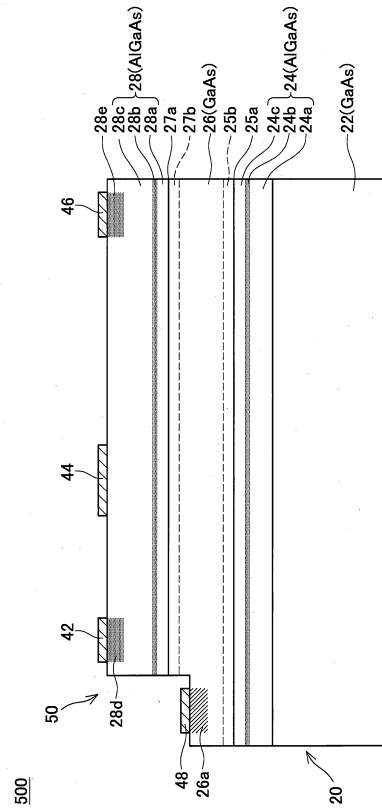
【図 5】



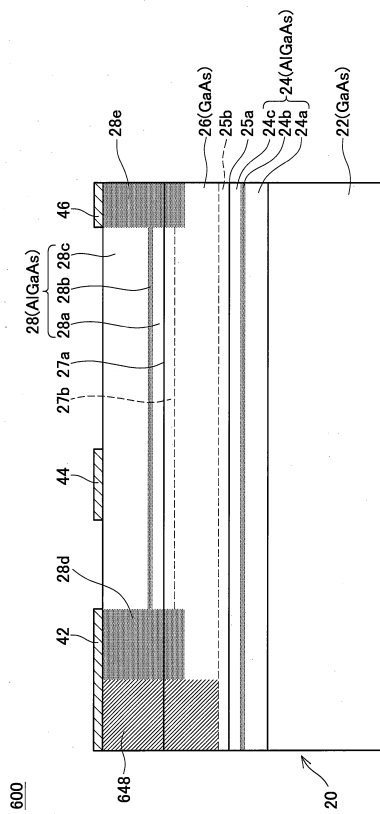
【図 6】



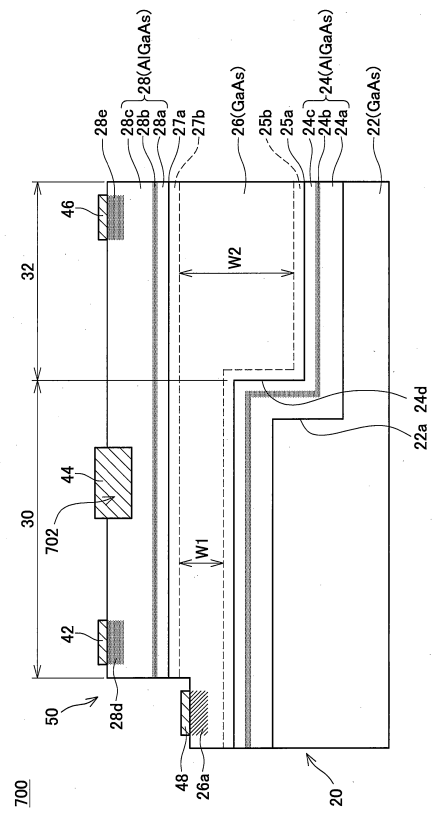
【図 7】



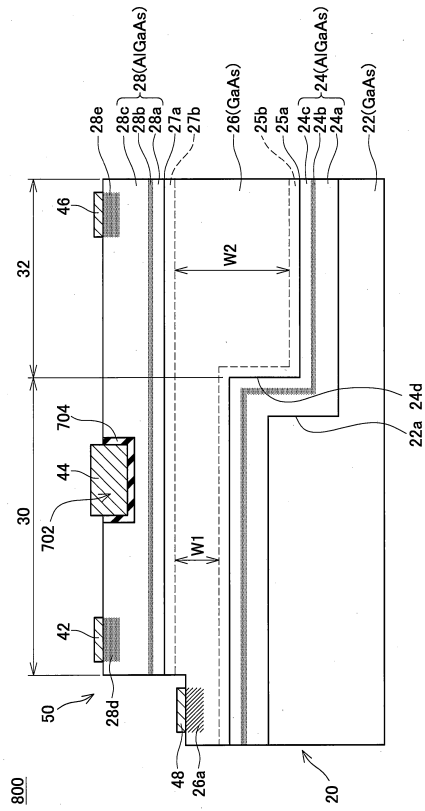
【図 8】



【図 9】



【図 10】



---

フロントページの続き

(72)発明者 榊 裕之

愛知県名古屋市天白区久方2丁目12番地1 豊田工業大学内

審査官 綿引 隆

(56)参考文献 特開2007-103451(JP,A)

特開2013-201189(JP,A)

国際公開第2013/190997(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/335-338

H01L 29/778-812