

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-45767  
(P2017-45767A)

(43) 公開日 平成29年3月2日(2017.3.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 31/075 (2012.01)	HO 1 L 31/06 5 0 0	4 M 1 0 4
HO 1 L 31/077 (2012.01)	HO 1 L 31/06 5 2 0	5 F 1 5 1
HO 1 L 29/41 (2006.01)	HO 1 L 29/44 L	
	HO 1 L 29/44 S	

審査請求 未請求 請求項の数 19 O L (全 27 頁)

(21) 出願番号 特願2015-164947 (P2015-164947)  
(22) 出願日 平成27年8月24日 (2015.8.24)

(出願人による申告)平成26年度、独立行政法人新エネルギー・産業技術総合開発機構、太陽エネルギー技術研究開発 太陽光発電システム次世代高性能技術の開発、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 592032636  
学校法人トヨタ学園  
愛知県名古屋市天白区久方2丁目12番地1  
(74) 代理人 110000578  
名古屋国際特許業務法人  
(72) 発明者 林 豊  
愛知県名古屋市天白区久方2丁目12番地1 学校法人トヨタ学園内  
(72) 発明者 神岡 武文  
愛知県名古屋市天白区久方2丁目12番地1 学校法人トヨタ学園内  
(72) 発明者 大下 祥雄  
愛知県名古屋市天白区久方2丁目12番地1 学校法人トヨタ学園内

最終頁に続く

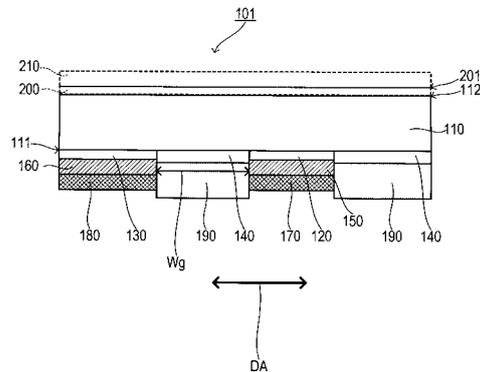
(54) 【発明の名称】 光電変換素子およびその製造方法

(57) 【要約】

【課題】変換効率の低下を抑制

【解決手段】光電変換素子101の結晶半導体領域110は第1表面112、第2表面111を有する。水素化アモルファス半導体膜120、130は第2表面111に接するように配置される。第1仕事関数膜150は、膜120に接するように配置され、第1仕事関数を有する材料で形成される。第2仕事関数膜160は、膜150から離間し、膜130に接するように配置され、第2仕事関数を有する材料で形成される。水素化アモルファス半導体膜140は膜150、160間で第2表面111に接するように配置される。電荷保有絶縁膜190は膜150、160間で膜140に接するように配置され、結晶半導体領域がn形の時、極性が正の電荷、p形の時、極性が負の電荷を保有する。

【選択図】図7



## 【特許請求の範囲】

## 【請求項 1】

多結晶または単結晶の半導体で形成されて第 1 導電形を有する結晶半導体領域と、  
前記結晶半導体領域は対向する 2 つの面を有し、一方の面を第 1 表面とし他方の面を第 2 表面として、前記第 2 表面に接するように配置された第 1 水素化アモルファス半導体膜と、

前記第 1 水素化アモルファス半導体膜に接するように配置され、第 1 仕事関数を有する材料で形成された第 1 仕事関数膜と、

前記第 2 表面に接するように配置された第 2 水素化アモルファス半導体膜と、

前記第 1 仕事関数膜から離間し、前記第 2 水素化アモルファス半導体膜に接するように配置され、第 2 仕事関数を有する材料で形成された第 2 仕事関数膜と、

前記第 1 仕事関数膜と前記第 2 仕事関数膜との間において前記第 2 表面に接するように配置された第 3 水素化アモルファス半導体膜と、

前記第 1 仕事関数膜と前記第 2 仕事関数膜との間において前記第 3 水素化アモルファス半導体膜に接するように配置され、表面およびまたは内部に電荷を保有する絶縁膜である第 1 電荷保有絶縁膜とを備え、

前記第 1 電荷保有絶縁膜が表面およびまたは内部に保有する電荷である第 1 保有電荷の極性は、前記結晶半導体領域の前記第 1 導電形が n 形である場合には正であり、前記結晶半導体領域の前記第 1 導電形が p 形である場合には負である

ことを特徴とする光電変換素子。

## 【請求項 2】

前記第 1 保有電荷の電荷密度は、 $q$  を電荷素量として、 $4 \times 10^{11} [q / \text{cm}^2]$  以上である

ことを特徴とする請求項 1 に記載の光電変換素子。

## 【請求項 3】

前記第 1 仕事関数膜の第 1 仕事関数のエネルギーレベルと前記第 2 仕事関数膜の第 2 仕事関数のエネルギーレベルとは前記結晶半導体領域のエネルギーバンドのミッドギャップのエネルギーレベルに関して互いに逆方向にあることを特徴とする請求項 1 に記載の光電変換素子。

## 【請求項 4】

前記第 1 仕事関数膜に接して第 1 導電電極を設けたことを特徴とする請求項 1 に記載の光電変換素子。

## 【請求項 5】

前記第 2 仕事関数膜に接して第 2 導電電極を設けたことを特徴とする請求項 1 に記載の光電変換素子。

## 【請求項 6】

多結晶または単結晶の半導体で形成されて第 1 導電形を有する結晶半導体領域と、  
前記結晶半導体領域は対向する 2 つの面を有し、一方の面を第 1 表面とし他方の面を第 2 表面として、前記第 2 表面に接するように配置された第 1 水素化アモルファス半導体膜と、

前記第 1 水素化アモルファス半導体膜に接するように配置され、前記第 1 導電形を有する半導体で形成された第 1 半導体膜と、

前記第 2 表面に接するように配置された第 2 水素化アモルファス半導体膜と、

前記第 1 半導体膜から離間し、前記第 2 水素化アモルファス半導体膜に接するように配置され、前記第 1 導電形とは逆の導電形である第 2 導電形を有する半導体で形成された第 2 半導体膜と、

前記第 1 半導体膜と前記第 2 半導体膜との間において前記第 2 表面に接するように配置された第 4 水素化アモルファス半導体膜と、

前記第 1 半導体膜と前記第 2 半導体膜との間において前記第 4 水素化アモルファス半導体膜に接するように配置され、表面およびまたは内部に電荷を保有する絶縁膜である第 2

10

20

30

40

50

電荷保有絶縁膜とを備え、

前記第2電荷保有絶縁膜が表面およびまたは内部に保有する電荷である第2保有電荷の極性は、前記結晶半導体領域の前記第1導電形がn形である場合には正であり、前記結晶半導体領域の前記第1導電形がp形である場合には負である

ことを特徴とする光電変換素子。

【請求項7】

前記第2保有電荷の電荷密度は、 $q$ を電荷素量として、 $4 \times 10^{11} [q / \text{cm}^2]$ 以上である

ことを特徴とする請求項6に記載の光電変換素子。

【請求項8】

前記第1半導体膜に接して第1導電電極を設け、  
前記第2半導体膜に接して前記第1導電電極と離間して第2導電電極を設けたことを特徴とする請求項6に記載の光電変換素子。

10

【請求項9】

前記第1半導体膜および前記第2半導体膜は、水素化アモルファスシリコンであり、 $10^{18} [原子 / \text{cm}^3]$ 以上の価電子制御不純物が添加されている

ことを特徴とする請求項6～請求項8の何れか1項に記載の光電変換素子。

【請求項10】

前記第1半導体膜および前記第2半導体膜は、微結晶のシリコンで形成されるとともに水素化された水素化微結晶シリコンであり、 $10^{18} [原子 / \text{cm}^3]$ 以上の価電子制御不純物が添加されている

ことを特徴とする請求項6～請求項8の何れか1項に記載の光電変換素子。

20

【請求項11】

前記第1水素化アモルファス半導体膜、前記第2水素化アモルファス半導体膜および前記第3水素化アモルファス半導体膜のうち少なくとも2つは、同じ半導体を材料として形成される

ことを特徴とする請求項1～請求項3の何れか1項に記載の光電変換素子。

【請求項12】

前記第1水素化アモルファス半導体膜、前記第2水素化アモルファス半導体膜および前記第4水素化アモルファス半導体膜のうち少なくとも2つは、同じ半導体を材料として形成される

ことを特徴とする請求項6～請求項10の何れか1項に記載の光電変換素子。

30

【請求項13】

前記第1水素化アモルファス半導体膜、前記第2水素化アモルファス半導体膜、前記第3水素化アモルファス半導体膜および前記第4水素化アモルファス半導体膜は価電子制御不純物が添加されていないか、添加されていてもその濃度は $10^{18} [原子 / \text{cm}^3]$ より少ないことを特徴とする請求項1～請求項3、請求項6～請求項10の何れか1項記載の光電変換素子。

【請求項14】

前記第1水素化アモルファス半導体膜、前記第2水素化アモルファス半導体膜および前記第3水素化アモルファス半導体膜は連続した一つの膜である

ことを特徴とする請求項1～請求項3の何れか1項に記載の光電変換素子。

40

【請求項15】

前記第1水素化アモルファス半導体膜、前記第2水素化アモルファス半導体膜および前記第4水素化アモルファス半導体膜は連続した一つの膜である

ことを特徴とする請求項6～請求項10の何れか1項に記載の光電変換素子。

【請求項16】

前記第1水素化アモルファス半導体膜、前記第2水素化アモルファス半導体膜および前記第3水素化アモルファス半導体膜のうち少なくとも2つは、膜厚が等しい

ことを特徴とする請求項1～請求項3の何れか1項に記載の光電変換素子。

50

## 【請求項 17】

前記第 1 水素化アモルファス半導体膜、前記第 2 水素化アモルファス半導体膜および前記第 4 水素化アモルファス半導体膜のうち少なくとも 2 つは、膜厚が等しいことを特徴とする請求項 6 ~ 請求項 10 の何れか 1 項に記載の光電変換素子。

## 【請求項 18】

請求項 1 ~ 請求項 3 の何れか 1 項に記載の光電変換素子の製造方法であって、前記第 1 水素化アモルファス半導体膜、前記第 2 水素化アモルファス半導体膜および前記第 3 水素化アモルファス半導体膜のうち少なくとも 2 つを、前記第 2 表面上に同時に堆積することを特徴とする光電変換素子の製造方法。

10

## 【請求項 19】

請求項 6 ~ 請求項 10 の何れか 1 項に記載の光電変換素子の製造方法であって、前記第 1 水素化アモルファス半導体膜、前記第 2 水素化アモルファス半導体膜および前記第 4 水素化アモルファス半導体膜のうち少なくとも 2 つを、前記第 2 表面上に同時に堆積することを特徴とする光電変換素子の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、光を電気に変換する光電変換素子およびその製造方法に関する。

20

## 【背景技術】

## 【0002】

光電変換素子には、照射光の強度、波長などが変化した結果、素子抵抗が変化するフォトレジスタ、素子電流または電圧が変化するフォトダイオード、素子電流がフォトダイオードより増幅されて変化するフォトランジスタ、出力電流、電圧、電力が変化する太陽電池などがある。フォトダイオード、太陽電池を構成する電子構造には、pn 接合、MIS 構造などが知られている。

## 【0003】

pn 接合は更に、p 形半導体と n 形の半導体とが同じ半導体材料で pn 接合が構成されるホモ接合、p 形半導体と n 形半導体とが異なる半導体材料で pn 接合が構成されるヘテロ接合がある。このヘテロ接合は短波長感度の良いフォトダイオード、高効率の太陽電池を化合物半導体で実現する手段として使われてきた。

30

## 【0004】

一方、シリコン半導体でフォトダイオード、フォトランジスタを実現する場合はホモ接合を用いる場合が多いが、水素化アモルファスシリコンと結晶シリコンの pn 接合によるヘテロ接合太陽電池が高効率を目指して開発されてきた。この水素化アモルファスシリコンと結晶シリコンのヘテロ接合の p 形水素化アモルファスシリコンと n 形結晶シリコンの間に、価電子制御不純物を意図的に添加しない “i” 層 (i 形水素化アモルファスシリコン) と呼ばれる水素化アモルファスシリコンを介在させることにより開放電圧  $V_{oc}$  を改善する技術が 1990 年代から開発されてきた (例えば、非特許文献 1 を参照)。更に p 形、i 形水素化アモルファスシリコンを設けた結晶シリコン基板の裏側に n 形、i 形水素化アモルファスシリコンを設けて高効率化が進められてきた。なお、以後これら 2 層の p 形、i 形水素化アモルファスシリコンを p/i 層、およびこれら 2 層の n 形、i 形水素化アモルファスシリコンを n/i 層と記すことがある。

40

## 【0005】

一方、近年太陽電池は変換効率の改善を目指して、裏面コンタクト形の開発が進められている。裏面コンタクト形では従来、太陽電池の両面 (表裏) に分かれて設けられていた正負の電流電圧の取り出し電極を太陽電池の裏面 (受光面の反対側) に集めて配置することにより電極が入射光を遮らないようにして出力電流の改善を図っている。上記のヘテロ接合太陽電池においても図 13 に示すような裏面コンタクト形の構造が開発されている (

50

例えば、非特許文献2を参照)。

【0006】

図13は、非特許文献2の「Figure 3」において光電変換素子の各構成要素に符号を追加した断面図である。図13において、510は第1表面511と第2表面(裏面)512を有するn形結晶Si基板、520はn形結晶Si基板510の裏面512に接して設けられたi形水素化アモルファスシリコン層、530はi形水素化アモルファスシリコン層520に接して設けられた高不純物濃度n形水素化アモルファスシリコン層であり、n/i層を形成している。

【0007】

540はn形結晶Si基板510の裏面512に接して設けられたi形水素化アモルファスシリコン層、550はi形水素化アモルファスシリコン層540に接して設けられた高不純物濃度p形水素化アモルファスシリコン層であり、p/i層を形成している。560はn形結晶Si基板510の表面511に接して設けられたi形水素化アモルファスシリコン層、570はi形水素化アモルファスシリコン層560に接して設けられたパッシベーション層であり、高不純物濃度のn形水素化アモルファスシリコンで形成されている。更に580はパッシベーション層570に接して設けられた酸化チタン( $TiO_2$ )からなる反射防止膜である。

【0008】

ここで裏面のp/i層とn/i層の位置関係に注目すると、p/i層上にn/i層が551の部分で重畳している。p層550とn層530とが接触すると出力電圧の短絡が起こるため、p層550とn層530とが離間しなければならない。しかし、p層550とn層530とが裏面512に沿って離間するとそのギャップ部分で電流と電圧の損失が生ずる。このため、551の部分でp/i層上にi層520を介してn層530を重畳させている。この重畳部分551の長さは製造技術のパターン作成精度、p/i層とn/i層の位置合わせ精度で決まるが、例えば、100 $\mu m$ 程度の寸法が必要である。

【0009】

このパターン作成精度と位置合わせ精度が関係するn層用導電電極590がn層530をカバーできない部分531の寸法、p層用導電電極600がp層550をカバーできない部分552の寸法も同様の寸法となる。

【先行技術文献】

【非特許文献】

【0010】

【非特許文献1】M. Taguchi, M. Tanaka, T. Matsuyama, T. Matsuoka, S. Tsuda, S. Nakano, Y. Kishi and Y. Kuwano, "Improvement of the conversion efficiency of polycrystalline silicon thin film solar cell", Technical Digest of the International PVSEC-5, 論文番号C-IIIa-1, p. 689, Kyoto, Japan, 1990.

【非特許文献2】K. Saito, H. Noge, A. Sato, T. Kaneko, and M. Kondo, "Fabrication of interdigitated back contact silicon heterojunction solar cells by inkjet patterning", 29th European Photovoltaic Solar Energy Conference and Exhibition, EUPVSEC2014, 講演番号2BV.8.47, Amsterdam, Netherland, September, 2014.

【発明の概要】

【発明が解決しようとする課題】

【0011】

上記のp/i層上にn/i層を重畳させてp層とn層の離間距離を最小とするアイデアは評価できるが、裏面512とi層540間界面の再結合準位密度が大きいと、551部分の重畳距離が100 $\mu m$ のとき、変換効率は重畳距離0のときの0.85以下に低下することが非特許文献2で報告されている。この低下率はp層用導電電極590がp層550をカバーできない部分531の寸法が同じ値のときの低下率の約2倍であることが示されている。これらの様子は非特許文献2の「Figure 4」で示されている。折角、p層とn層間の距離を最小に縮小しても、効果が少ない。p層とn層の間隔が大きくても

10

20

30

40

50

、変換効率の低下が少ない光電変換素子の提供が望まれる。

【0012】

本発明は、こうした問題に鑑みてなされたものであり、変換効率の低下を抑制する技術を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記目的を達成するためになされた第1発明の光電変換素子は、結晶半導体領域と、第1水素化アモルファス半導体膜と、第1仕事関数膜と、第2水素化アモルファス半導体膜と、第2仕事関数膜と、第3水素化アモルファス半導体膜と、第1電荷保有絶縁膜とを備える。

10

【0014】

結晶半導体領域は、多結晶または単結晶の半導体で形成されて第1導電形を有し、対向する第1表面と第2表面を有する。この結晶半導体領域は、目的、原材料により、層状、シート状、基板状、基板内または基板上に分離された立方体等任意形状、基板内または基板上に集積された複数の形状、円筒形等任意の形状を取ることができる。第1導電形はp形でもn形でもよい。

【0015】

第1水素化アモルファス半導体膜は、結晶半導体領域の第2表面に接するように配置され、非晶質の半導体で形成されるとともに水素化されている。

第1仕事関数膜は、第1水素化アモルファス半導体膜に接するように配置され、第1仕事関数を有する材料で形成されている。

20

【0016】

第2水素化アモルファス半導体膜は、第2表面に接するように配置され、非晶質の半導体で形成されるとともに水素化されている。

第2仕事関数膜は、第1仕事関数膜から離間し、第2水素化アモルファス半導体膜に接するように配置され、第2仕事関数を有する材料で形成されている。

【0017】

第3水素化アモルファス半導体膜は、第1仕事関数膜と第2仕事関数膜との間において第2表面に接するように配置され、非晶質の半導体で形成されるとともに水素化されている。

30

【0018】

第1電荷保有絶縁膜は、第1仕事関数膜と第2仕事関数膜との間において第3水素化アモルファス半導体膜に接するように配置され、表面およびまたは内部に電荷を保有する絶縁膜である。

【0019】

そして、第1発明の光電変換素子では、第1電荷保有絶縁膜が表面およびまたは内部に保有する電荷である第1保有電荷の極性は、結晶半導体領域の第1導電形がn形である場合には正であり、結晶半導体領域の第1導電形がp形である場合には負である。第1電荷保有絶縁膜および後述の第2電荷保有絶縁膜が保有する電荷は該絶縁膜の表面にあっても内部にあっても機能する。

40

【0020】

このように構成された第1発明の光電変換素子では、結晶半導体領域の第1表面側から光を入射することにより光電変換素子の内部で発生した光発生電流を結晶半導体領域の第2表面にそれぞれ第1水素化アモルファス半導体膜、第2水素化アモルファス半導体膜を介して設けられた第1仕事関数膜と第2仕事関数膜との間に取り出すことができる。

【0021】

第1仕事関数のエネルギーレベルが結晶半導体領域のミッドギャップのエネルギーレベルに関して結晶半導体領域のフェルミレベル側にある場合は、多数キャリアと同符号の光発生電流を、(結晶半導体領域の第2表面側に設けられた)第1仕事関数膜から引き出すことができる。また、第1仕事関数のエネルギーレベルが結晶半導体領域のミッドギャッ

50

プのエネルギーレベルに関して結晶半導体領域のフェルミレベルと逆側にある場合は、少数キャリアと同符号の光電流を第1仕事関数膜から取り出すことができる。

【0022】

また、第1発明の光電変換素子では、結晶半導体領域の第1表面側から光を入射することにより、第2仕事関数のエネルギーレベルが結晶半導体領域のミッドギャップのエネルギーレベルに関して結晶半導体領域のフェルミレベル側にある場合は、多数キャリアと同符号の光発生電流を、第2仕事関数膜からとり出すことができる。また、第2仕事関数のエネルギーレベルが結晶半導体領域のミッドギャップのエネルギーレベルに関して結晶半導体領域のフェルミレベルと逆側にある場合は、少数キャリアと同符号の光電流を第2仕事関数膜から取り出すことができる。

10

【0023】

第1仕事関数のエネルギーレベルと第2仕事関数のエネルギーレベルとが結晶半導体領域のミッドギャップエネルギーレベルに関して同じ側にある場合は第1発明の光電変換素子はフォトレジスター、光電流変換素子として機能する。

【0024】

第1仕事関数のエネルギーレベルと第2仕事関数のエネルギーレベルとが結晶半導体領域のミッドギャップエネルギーレベルに関して互いに(上下)逆方向にある場合は、第1仕事関数膜と第2仕事関数膜の間に、光電変換素子の内部で発生した光起電圧と光発生電流とを、取り出すことができる。この場合は、第1発明の光電変換素子はフォトダイオード、太陽電池として機能する。

20

【0025】

この第1仕事関数膜、第2仕事関数膜として使用するに望ましい材料の内、結晶半導体領域が結晶シリコンであり、結晶シリコンと組み合わせる光起電圧を取り出すのに望ましい材料の組み合わせ例を挙げる。結晶シリコンのミッドギャップエネルギーから結晶シリコンの電導帯側に仕事関数のエネルギーレベルがある材料を第1仕事関数膜と第2仕事関数膜のうちの一方の材料とし、結晶シリコンのミッドギャップエネルギーから結晶シリコンの価電子帯側に仕事関数のエネルギーレベルがある材料を第1仕事関数膜と第2仕事関数膜のうちの他方の材料とする組み合わせ、すなわち、第1仕事関数のエネルギーレベルと第2仕事関数のエネルギーレベルとが結晶半導体領域のエネルギーバンドのミッドギャップエネルギーレベルに関して互いに(上下)逆方向にある場合の組み合わせである。

30

【0026】

結晶半シリコンのミッドギャップエネルギーより結晶シリコンの電導帯側に仕事関数のエネルギーレベルがある材料としては、アルミニウム、マグネシウム(化学的に安定な材料によるコーティングが必要) n形酸化亜鉛(TiドープZnO等)等がある。更に結晶シリコンの電導帯を真空のエネルギーレベルに近い方向へ超えたエネルギーレベルの仕事関数を有する材料を選択することにより変換効率を上げることができる。

【0027】

結晶半シリコンのミッドギャップエネルギーより結晶シリコンの価電子帯側に仕事関数のエネルギーレベルがある材料としては、ニッケル、白金、酸化タングステン等がある。更に結晶シリコンの価電子帯を真空のエネルギーレベルから遠い方向へ超えたエネルギーレベルの仕事関数を有する酸化モリブデン等の材料を選択することにより変換効率をあげることができる。

40

【0028】

なお、ミッドギャップとは、結晶半導体領域の禁制帯の中央のエネルギーレベルを示す。また、仕事関数のエネルギーレベルとは、真空のエネルギーレベル(真空準位)から仕事関数の値だけ低いエネルギーレベルである。

【0029】

そして、第1発明の光電変換素子は、結晶半導体領域の第2表面側における第1仕事関数膜と第2仕事関数膜との間に第1電荷保有絶縁膜を備えることにより、結晶半導体領域の第2表面における第1電荷保有絶縁膜に対向する部分が蓄積状態(accumulation)、す

50

なわち、多数キャリアが平衡状態より多く集まった状態となる。この部分の電界は少数キャリアを第2表面から追い返す極性の電界となるので、光発生した少数キャリアが第2表面で再結合をして失われる機会を阻止する。したがって、第1発明の光電変換素子は、光電流出力を向上させることができ、出力電圧も向上させることができる。また、多数キャリアは平衡状態より多く結晶半導体領域の第2表面に集まっているため、第1仕事関数膜と第2仕事関数膜との間における結晶半導体領域の第2表面の表面抵抗が小さくなり、第1発明の光電変換素子は、フィルファクターも向上させることができる。このため、第1発明の光電変換素子は、第1仕事関数膜と第2仕事関数膜との間隔が大きくなっても、変換効率の低下を抑制することができる。

#### 【0030】

この時、第1電荷保有絶縁膜が該第1仕事関数膜、および該第2仕事関数膜へ重畳しても絶縁膜であるため、第1仕事関数膜・第2仕事関数膜間は電氣的に短絡されない。したがって、該第1仕事関数膜、第2仕事関数膜と該電荷保有絶縁膜の位置合わせ精度は厳しく要求されないので製造技術上の観点からこの構造は作りやすい。

#### 【0031】

正電荷を有する絶縁膜としてはシリコン窒化膜、負電荷を有する絶縁膜としては酸化アルミニウム膜が知られている。酸化アルミニウム膜は原子層堆積法(atomic layer deposition、ALD)により250 以下の低温で堆積することが可能であり、シリコン窒化膜は100 程度の低温プラズマCVD、室温を含む低温の触媒CVD (catCVD) で堆積可能である。

#### 【0032】

また、第1発明の光電変換素子では、第1保有電荷の電荷密度は、 $q$  を電荷素量として、 $4 \times 10^{11} [q / \text{cm}^2]$  以上であるようにするとよい。なお  $q = 1.6 \times 10^{-19}$  クーロンである。

#### 【0033】

なお、第1仕事関数膜から取り出す電流値が大きく、第1仕事関数膜を介して取り出す時の第1仕事関数膜の抵抗による電圧降下が大きいつきは、第1仕事関数膜に接して低抵抗の第1導電電極を設ける。

#### 【0034】

なお、第2仕事関数膜から取り出す電流値が大きく、第2仕事関数膜を介して取り出す時の第2仕事関数膜の抵抗による電圧降下が大きいつきは、第2仕事関数膜に接して低抵抗の第1導電電極を設ける。ここで、第1導電電極と第2導電電極は互いに離間されている。

#### 【0035】

上記第1、第2導電電極は金属薄膜、金属印刷膜(金属ペースト塗布、乾燥または焼成したもの)グラフェン等のナノカーボンなどで構成される。更に、光の反射を確保するため、または第1、第2導電電極用金属と第1、第2仕事関数膜との間の反応を防ぐために、透明導電膜を金属薄膜、金属印刷膜、ナノカーボンと第1、第2仕事関数膜との間に設けた2層構造をとる場合もある。なお、透明導電膜としては酸化インジウム( $\text{InO}_x$ )、水素酸化インジウム( $\text{InO}_x:\text{H}$ )、酸化インジウム錫(ITO)、酸化亜鉛( $\text{ZnO}_x$ )およびそのアルミニウム(Al)添加物またはホウ素(B)添加物、などが使用される。金属薄膜、金属印刷膜の金属としては銀(Ag)、アルミニウム(Al)などが使用される。

#### 【0036】

一方、第2発明の光電変換素子は、結晶半導体領域と、第1水素化アモルファス半導体膜と、第1半導体膜と、第2水素化アモルファス半導体膜と、第2半導体膜と、第4水素化アモルファス半導体膜と、第2電荷保有絶縁膜と、要すれば第1導電電極と第2導電電極とを備える。

#### 【0037】

結晶半導体領域は、多結晶または単結晶の半導体で形成されて第1導電形を有し、対向する第1表面と第2表面を有する。

10

20

30

40

50

第1水素化アモルファス半導体膜は、結晶半導体領域の第2表面に接するように配置されている。第2水素化アモルファス半導体膜は、結晶半導体領域の第2表面に接するように配置されている。

【0038】

第1半導体膜は、第1水素化アモルファス半導体膜に接するように配置され、第1導電形を有する半導体で形成されている。

第2半導体膜は、第1半導体膜から離間し、第2水素化アモルファス半導体膜に接するように配置され、第1導電形とは逆の導電形である第2導電形を有する半導体で形成されている。

【0039】

第4水素化アモルファス半導体膜は、第1半導体膜と第2半導体膜との間において第2表面に接するように配置され、非晶質の半導体で形成されるとともに水素化されている。

第2電荷保有絶縁膜は、第1半導体膜と第2半導体膜との間において第4水素化アモルファス半導体膜に接するように配置され、表面およびまたは内部に電荷を保有する絶縁膜である。

【0040】

そして、第2発明の光電変換素子では、第2電荷保有絶縁膜が表面およびまたは内部に保有する電荷である第2保有電荷の極性は、結晶半導体領域の第1導電形がn形である場合には正であり、結晶半導体領域の第1導電形がp形である場合には負である。

【0041】

このように構成された第2発明の光電変換素子は、結晶半導体領域の第1表面側から光が入射することにより光電変換素子の内部で発生した多数キャリアと同符号の光発生電流を、結晶半導体領域の第2表面側に設けられた第1半導体膜から引き出すことができる。また、第2発明の光電変換素子は、結晶半導体領域の第1表面側から光が入射することにより発生した光起電圧と、光電変換素子の内部で発生した少数キャリアと同符号の光発生電流とを、結晶半導体領域の第2表面側に設けられた第2半導体膜から引き出すことができる。

【0042】

そして、第2発明の光電変換素子は、結晶半導体領域の第2表面側における第1半導体膜と第2半導体膜との間に第2電荷保有絶縁膜を備えることにより、結晶半導体領域の第2表面における第2電荷保有絶縁膜に対向する部分が蓄積状態となる。この部分の電界は少数キャリアを第2表面から追い返す極性の電界となるので、光発生した少数キャリアが第2表面で再結合をして失われる機会を阻止する。したがって、第2発明の光電変換素子は、光電出力を向上させることができ、出力電圧も向上させることができる。また、この結晶半導体領域の第2表面の第2電荷保有絶縁膜に対向する部分では、多数キャリアは平衡状態より多く結晶半導体領域の第2表面に集まっているため、第1半導体膜と第2半導体膜との間における結晶半導体領域の第2表面の表面抵抗が小さくなり、第2発明の光電変換素子は、フィルファクターも向上させることができる。このため、第2発明の光電変換素子は、第1半導体膜と第2半導体膜との間隔が大きくなっても、変換効率の低下を抑制することができる。

【0043】

この時、第2電荷保有絶縁膜が第1半導体膜、および第2半導体膜へ重畳しても絶縁膜であるため、第1仕事関数膜・第2仕事関数膜間は電氣的に短絡されない。したがって、第1半導体膜、第2半導体膜と該電荷保有絶縁膜の位置合わせ精度は厳しく要求されないので製造技術上の観点からこの構造は作りやすい。

【0044】

正電荷を有する絶縁膜としてはシリコン窒化膜、負電荷を有する絶縁膜としては酸化アルミニウム膜が知られている。酸化アルミニウム膜は原子層堆積法(atomic layer deposition、ALD)により250 以下の低温で堆積することが可能であり、シリコン窒化膜は100 程度の低温プラズマCVD、室温を含む低温の触媒CVD(catCVD)で堆積可能である

10

20

30

40

50

。

## 【0045】

また、第2発明の光電変換素子では、第2保有電荷の電荷密度は、 $q$ を電荷素量として、 $4 \times 10^{11} [q/cm^2]$ 以上であるようにするとよい。

また、第2発明の光電変換素子では、第1半導体膜および第2半導体膜は、非晶質のシリコンで形成されるとともに水素化された、水素化アモルファスシリコンであり、 $10^{18} [原子/cm^3]$ 以上の価電子制御不純物が添加されているようにするとよい。

## 【0046】

また、第2発明の光電変換素子では、第1半導体膜および第2半導体膜は、微結晶のシリコンで形成されるとともに水素化された、水素化微結晶シリコンであり、 $10^{18} [原子/cm^3]$ 以上の価電子制御不純物が添加されているようにするとよい。微結晶は、ナノメートルからサブミクロンサイズの結晶がアモルファスの組織の中に埋め込まれた構造を有し、アモルファスに比べて抵抗率が低い。

10

## 【0047】

一方、第1、第2、第3、第4水素化アモルファス半導体膜は、電子欠陥が少ないことが必要である。このためにたとえば硼素、磷、砒素、などの価電子制御不純物を意図的には添加しない、または抵抗率、フェルミ準位等の調整のため添加したとしても電子欠陥の増加を防ぐため $10^{18} [原子/cc]$ より低濃度の添加にとどめることが望ましい。

## 【0048】

第1発明及び第2発明の光電変換素子において、第1、第2、第3、第4水素化アモルファス半導体膜（以後まとめて単に水素化アモルファス半導体膜と記す）は結晶半導体領域の該第1表面、第2表面を含む表面との界面を水素結合によりパッシベーションすることができる。このため界面準位密度を低く抑えることができる。特に結晶半導体領域がシリコン、シリコン・ゲルマニウム、ゲルマニウムで形成されている場合は効果が大きい。

20

## 【0049】

第1発明及び第2発明の光電変換素子において、水素化アモルファス半導体が水素化アモルファスシリコン(aSi:H)、水素化アモルファスシリコンカーバイド(aSixCy:H)、酸素を含む水素化アモルファスシリコン(aSixOy:H)、窒素を含む水素化アモルファスシリコン(aSixNy:H)、水素化アモルファスシリコンゲルマニウム(aSixGey:H)などの場合、これらのアモルファス半導体は100程度の低温プラズマCVDで製膜可能であり、触媒CVD(catCVD)の場合は室温での製膜も可能である。

30

## 【0050】

第1発明及び第2発明の光電変換素子において、水素化アモルファス半導体膜を結晶半導体領域表面に堆積する前にプラズマ、光励起、触媒（加熱タングステン、加熱パラジウムなど）励起などによりラディカル水素を形成し、該結晶半導体領域の第2表面をクリーニング、水素化することができる。また、結晶半導体領域の第2表面に付着した不純物のうち水素化して気化できるものは除去することもできる。

## 【0051】

結晶半導体領域がシリコン、シリコン・ゲルマニウム、ゲルマニウムの場合はSF6等を同様に励起して結晶半導体領域の第2表面をエッチングして清浄化することもできる。これらの状態で真空を破らずに水素化アモルファス半導体膜の堆積チャンバーに搬送することによりさらに界面準位の少ない水素化アモルファス半導体膜と結晶半導体領域との界面を得ることができる。

40

## 【0052】

第1発明及び第2発明の光電変換素子において、水素化アモルファス半導体膜はMIS形光電変換素子に使用された超薄絶縁膜と比べて、厚さ方向に数十mA/cm<sup>2</sup>オーダーの電流を流しても劣化は少ない。

## 【0053】

なお、第2発明の光電変換素子において、第1半導体膜から取り出す電流値が大きく、

50

第1半導体膜を介して取り出す時の第1半導体の抵抗による電圧降下が大きいときは、第1半導体膜に接して低抵抗の第1導電電極を設ける。

【0054】

なお、第2発明の光電変換素子において、第2半導体膜から取り出す電流値が大きく、第2半導体膜を介して取り出す時の第2半導体膜の抵抗による電圧降下が大きいときは、第2半導体膜に接して低抵抗の第1導電電極を設ける。ここで、第1導電電極と第2導電電極は互いに離間されている。

【0055】

第2発明の光電変換素子の第1導電電極、第2導電電極に使用する材料および材料の組み合わせは上述の第1発明の光電変換素子と同様である。

また、第1発明の光電変換素子において、第1水素化アモルファス半導体膜、第2水素化アモルファス半導体膜および第3水素化アモルファス半導体膜のうち少なくとも2つは、同じ半導体を材料として形成されるようにしてもよい。これにより、第1水素化アモルファス半導体膜、第2水素化アモルファス半導体膜および第3水素化アモルファス半導体膜のうち少なくとも2つを同時に堆積することが可能となる。このため、第1発明の光電変換素子は、結晶半導体領域の第2表面が加工に晒される頻度を低減し、結晶半導体領域の第2表面における界面準位密度を低く抑えることができる。

【0056】

また、第2発明の光電変換素子において、第1水素化アモルファス半導体膜、第2水素化アモルファス半導体膜および第4水素化アモルファス半導体膜のうち少なくとも2つは、同じ半導体を材料として形成されるようにしてもよい。これにより、第1水素化アモルファス半導体膜、第2水素化アモルファス半導体膜および第4水素化アモルファス半導体膜のうち少なくとも2つを同時に堆積することが可能となる。このため、第2発明の光電変換素子は、結晶半導体領域の第2表面が加工に晒される頻度を低減し、結晶半導体領域の第2表面における界面準位密度を低く抑えることができる。

【0057】

また、第1発明の光電変換素子において、第1水素化アモルファス半導体膜、第2水素化アモルファス半導体膜および第3水素化アモルファス半導体膜は連続した一つの膜であるようにしてもよい。これにより、第1水素化アモルファス半導体膜、第2水素化アモルファス半導体膜および第3水素化アモルファス半導体膜を同時に堆積することが可能となる。このため、第1発明の光電変換素子は、結晶半導体領域の第2表面が加工に晒される頻度を低減し、結晶半導体領域の第2表面における界面準位密度を均一にかつ低く抑えることができる。

【0058】

また、第2発明の光電変換素子において、第1水素化アモルファス半導体膜、第2水素化アモルファス半導体膜および第4水素化アモルファス半導体膜は連続した一つの膜であるようにしてもよい。これにより、第1水素化アモルファス半導体膜、第2水素化アモルファス半導体膜および第4水素化アモルファス半導体膜を同時に堆積することが可能となる。このため、第2発明の光電変換素子は、結晶半導体領域の第2表面が加工に晒される頻度を低減し、結晶半導体領域の第2表面における界面準位密度を低く抑えることができる。

【0059】

また、第1発明の光電変換素子において、第1水素化アモルファス半導体膜、第2水素化アモルファス半導体膜および第3水素化アモルファス半導体膜のうち少なくとも2つは、膜厚が等しいようにしてもよい。これにより、第1水素化アモルファス半導体膜、第2水素化アモルファス半導体膜および第3水素化アモルファス半導体膜のうち少なくとも2つを同時に堆積することが可能となる。このため、第1発明の光電変換素子は、結晶半導体領域の第2表面が加工に晒される頻度を低減し、結晶半導体領域の第2表面における界面準位密度を低く抑えることができる。

【0060】

また、第2発明の光電変換素子において、第1水素化アモルファス半導体膜、第2水素化アモルファス半導体膜および第4水素化アモルファス半導体膜のうち少なくとも2つは、膜厚が等しいようにしてもよい。これにより、第1水素化アモルファス半導体膜、第2水素化アモルファス半導体膜および第4水素化アモルファス半導体膜のうち少なくとも2つを同時に堆積することが可能となる。このため、第2発明の光電変換素子は、結晶半導体領域の第2表面が加工に晒される頻度を低減し、結晶半導体領域の第2表面における界面準位密度を低く抑えることができる。

#### 【0061】

また、第3発明は、第1発明の光電変換素子の製造方法であって、第1水素化アモルファス半導体膜、第2水素化アモルファス半導体膜および第3水素化アモルファス半導体膜のうち少なくとも2つを、第2表面上に同時に堆積する。これにより、第3発明の製造方法は、結晶半導体領域の第2表面が加工に晒される頻度を低減し、結晶半導体領域の第2表面における界面準位密度を低く抑えることができる。

10

#### 【0062】

また、第4発明は、第2発明の光電変換素子の製造方法であって、第1水素化アモルファス半導体膜、第2水素化アモルファス半導体膜および第4水素化アモルファス半導体膜のうち少なくとも2つを、裏面上に同時に堆積する。これにより、第4発明の製造方法は、結晶半導体層の裏面が加工に晒される頻度を低減し、結晶半導体層の裏面における界面準位密度を低く抑えることができる。

20

#### 【図面の簡単な説明】

#### 【0063】

【図1】光電変換素子1の構成を示す断面図である。

【図2】光電変換素子1の製造工程を示す第1の断面図である。

【図3】光電変換素子1の製造工程を示す第2の断面図である。

【図4】光電変換素子1の製造工程を示す第3の断面図である。

【図5】光電変換素子1の製造工程を示す第4の断面図である。

【図6】太陽電池効率の保有電荷 $Q_f$ に対する依存性を示すグラフである。

【図7】光電変換素子101の構成を示す断面図である。

【図8】変形例1の製造工程を示す第1の断面図である。

【図9】変形例1の製造工程を示す第2の断面図である。

30

【図10】変形例1の製造工程を示す第3の断面図である。

【図11】変形例1の製造工程を示す第4の断面図である。

【図12】変形例1の製造工程を示す第5の断面図である。

【図13】非特許文献2の光電変換素子の構成を示す断面図である。

#### 【発明を実施するための形態】

#### 【0064】

##### (第1実施形態)

以下に本発明の第1実施形態を図面とともに説明する。

##### [光電変換素子1の構成]

本実施形態の光電変換素子1は、図1に示すように、結晶半導体領域10と、水素化アモルファス半導体膜20と、第1、第2半導体膜30、40と、第1、第2導電電極50、60と、第2電荷保有絶縁膜70と、パッシベーション膜80と、反射防止膜90を備える。

40

#### 【0065】

結晶半導体領域10は、多結晶または単結晶の半導体で形成された領域である。本実施形態では、結晶半導体領域10は、シリコンで形成され、厚さが $150\mu\text{m}$ の基板である。また本実施形態では、結晶半導体領域10は、 $n$ 形の不純物が $1.9 \times 10^{15} [\text{cm}^{-3}]$ の濃度でドーピングされている。なお、結晶半導体領域10は $p$ 形でもよい。

#### 【0066】

水素化アモルファス半導体膜20は、非晶質の半導体で形成されるとともに水素化され

50

た膜である。

水素化アモルファス半導体膜 20 は、結晶半導体領域 10 の第 2 表面 11 に接するように配置される。本実施形態では、水素化アモルファス半導体膜 20 は、厚さが 5 nm の水素化アモルファスシリコンである。また本実施形態では、水素化アモルファス半導体膜 20 は、意図的な不純物ドーピングはされていないか、されていたとしても n 形の不純物が  $2 \cdot 2 \times 10^{15} [ / \text{cm}^3 ]$  の濃度でドーピングされている程度である。また水素化アモルファス半導体膜 20 は、結晶半導体領域 10 の第 2 表面 11 との界面を水素結合によりパッシベーションすることができる。このため、界面準位密度を低く抑えることができる。特に、結晶半導体領域 10 がシリコン、シリコン・ゲルマニウム、ゲルマニウムで形成されている場合に効果が大きい。

10

#### 【0067】

水素化アモルファス半導体膜 20 は MIS 形光電変換素子に使用された超薄絶縁膜と比べて、数十  $[ \text{mA} / \text{cm}^2 ]$  オーダーの電流を流しても劣化は少ない。抵抗率、フェルミレベルの調整に価電子制御不純物（例えば、硼素、燐、砒素など）を添加することができるが、価電子制御不純物の添加は膜中の電子的欠陥の増加を伴うので、価電子制御不純物（硼素、燐、等）の濃度は  $10^{18} [ / \text{cm}^3 ]$  より小さいことが望ましい。

#### 【0068】

第 1、第 2 半導体膜 30, 40 は、水素化アモルファス半導体膜 20 の第 2 表面 21 に接するように配置される。本実施形態では、第 1 半導体膜 30 と、第 2 半導体膜 40 は、水素化アモルファスシリコン膜で形成され、厚さが 20 nm である。

20

#### 【0069】

第 1 半導体膜 30 と、第 2 半導体膜 40 は、水素化アモルファス半導体膜 20 の第 2 表面 21 に接して交互に配置されている。図 1 では、第 1、第 2 半導体膜 30, 40 をそれぞれ 1 つ示している。互いに並置された第 1 半導体膜 30 と、第 2 半導体膜 40 は、互いに電氣的に接続されないように離間して配置される。

#### 【0070】

本実施形態では、第 1 半導体膜 30 は、n 形の不純物（燐）が  $1 \cdot 5 \times 10^{19} [ / \text{cm}^3 ]$  の濃度でドーピングされ、第 2 半導体膜 40 は、p 形の不純物（硼素）が  $2 \cdot 05 \times 10^{19} [ / \text{cm}^3 ]$  の濃度でドーピングされている。なお、第 1 半導体膜 30 と、第 2 半導体膜 40 は、少なくとも  $10^{18} [ \text{原子} / \text{cm}^3 ]$  以上の価電子制御不純物（燐、ヒ素、ホウ素等）を添加される。

30

#### 【0071】

導電電極 50 は、銀 (Ag) またはアルミニウム (Al) またはグラフェン等のナノカーボン等で形成され、第 1 半導体膜 30 上に配置される。

導電電極 60 は、銀 (Ag) またはアルミニウム (Al) またはグラフェン等のナノカーボン等で形成され、第 2 半導体膜 40 上に配置される。

#### 【0072】

更に、光の反射を確保するため、または第 1、第 2 導電電極用金属と第 1、第 2 半導体膜との間の反応を防ぐために、透明導電膜を金属薄膜、金属印刷膜、グラフェン等のナノカーボンと第 1、第 2 半導体膜との間に設けた 2 層構造をとる場合もある。なお、透明導電膜としては酸化インジウム ( $\text{InOx}$ )、水素化酸化インジウム ( $\text{InOx:H}$ )、酸化インジウム錫 (ITO)、酸化亜鉛 ( $\text{ZnOx}$ ) およびそのアルミニウム (Al) 添加物またはホウ素 (B) 添加物、などが使用される。金属薄膜、金属印刷膜の金属としては銀 (Ag)、アルミニウム (Al) などが使用される。

40

#### 【0073】

電荷保有絶縁膜 70 は、表面およびまたは内部に電荷を保有するように形成された絶縁膜であり、水素化アモルファス半導体膜 20 の第 2 表面 21 に接するとともに、第 1 半導体膜 30 と、第 2 半導体膜 40 との間に位置するように配置される。本実施形態では、電荷保有絶縁膜 70 は、シリコン窒化膜であり、例えば、 $1 \times 10^{13} [ \text{q} / \text{cm}^2 ]$  の電荷密度で正の電荷を保有する。なお、 $[ \text{q} / \text{cm}^2 ]$  における q は、電荷素量（電子 1 個

50

の電荷)であり、 $1.6 \times 10^{-19}$ クーロンである。

【0074】

また、結晶半導体領域10がn形の場合はその第2表面11が蓄積状態となり少数キャリアが追い返される状態を作るための電荷保有絶縁膜70の電荷密度は、結晶半導体領域10が1~10 cm程度の結晶シリコンであり、水素化アモルファス半導体膜20における電荷保有絶縁膜70と接している部分に価電子制御不純物を意図的に添加しない場合には、 $8 \times 10^{11}$  [q/cm<sup>2</sup>]以上である。

【0075】

結晶半導体領域10がp形の場合はその第2表面11が蓄積状態となり少数キャリアが追い返される状態を作るための電荷保有絶縁膜70としてアルミナ等、正の電荷を保有する絶縁膜が用いられる。

10

【0076】

パッシベーション膜80は、光が光電変換素子1内に入射することにより発生した少数キャリアが再結合するのを抑制するために、結晶半導体領域10の第1表面12に接するように配置される。本実施形態では、パッシベーション膜80は、非晶質のシリコンで形成されるとともに水素化された水素化アモルファスシリコンであり、厚さが5 nmである。このパッシベーション膜80により、変換効率を改善することができる。

【0077】

反射防止膜90は、パッシベーション膜80の第1表面81に接するように配置される。本実施形態では、反射防止膜90は、シリコン窒化膜であり、厚さが75 nmである。この反射防止膜90により、変換効率を更に改善することができる。

20

【0078】

[光電変換素子1の製造工程]

次に、光電変換素子1の製造工程の一例を説明する。

図2に示すように、結晶半導体領域10の第1表面12にパッシベーション膜80と反射防止膜90が積層されている状態において、まず、結晶半導体領域10の第2表面11に対してクリーニングと水素終端処理を施した後に、低温プラズマCVD (Chemical Vapor Deposition) または低温触媒CVDにより、結晶半導体領域10の第2表面11上に水素化アモルファス半導体膜20を堆積する。

30

【0079】

水素化アモルファス半導体膜20が水素化アモルファスシリコン (aSi:H)、水素化アモルファスシリコンカーバイド (aSi<sub>x</sub>C<sub>y</sub>:H)、酸素を含む水素化アモルファスシリコン (aSi<sub>x</sub>O<sub>y</sub>:H)、水素化アモルファスシリコン・ゲルマニウム (aSi<sub>x</sub>Ge<sub>y</sub>:H) などの場合、これらの水素化アモルファス半導体は100程度の低温プラズマCVDで成膜可能であり、触媒CVDの場合は室温での成膜も可能である。

【0080】

水素化アモルファス半導体膜を結晶半導体領域10の第2表面に堆積する前にプラズマ、光励起、触媒 (加熱タングステン、加熱パラジウムなど) 励起によりラディカル水素を形成し、結晶半導体領域10の第2表面をクリーニング、水素化することができる。また、結晶半導体領域10の第2表面に付着した不純物のうち水素化して気化できるものは除去することもできる。

40

【0081】

結晶半導体領域10がシリコン、シリコン・ゲルマニウム、ゲルマニウムの場合はSF<sub>6</sub>等を同様に励起して結晶半導体領域10の第2表面をエッチングして清浄化することもできる。これらの状態で真空を破らずに水素化アモルファス半導体膜の堆積チャンバーに搬送することによりさらに界面準位の少ない水素化アモルファス半導体膜と結晶半導体領域10との界面を得ることができる。

【0082】

次に図3に示すように、低温プラズマCVDまたは低温触媒CVDにより、水素化アモルファス半導体膜20上の一部に価電子制御不純物を添加した水素化アモルファスシリコ

50

ン膜を堆積することにより、第2半導体膜40を形成する。なお、第2半導体膜40が配置される位置と、第2半導体膜40の形状とを設定するために、第2半導体膜40の形状に対応した開口部が形成された堆積マスクを用いることができる。

#### 【0083】

次に図4に示すように、低温プラズマCVDまたは低温触媒CVDにより、水素化アモルファス半導体膜20上において第2半導体膜40から離間するようにして第1半導体膜を堆積することにより、第1半導体膜30を形成する。なお、第1半導体膜30が配置される位置と、第1半導体膜30の形状とを設定するために、第1半導体膜30の形状に対応した開口部が形成された堆積マスクを用いることができる。

#### 【0084】

次に図5に示すように、真空蒸着またはスパッタ等により、導電電極50, 60の位置と形状を設定するために導電電極50, 60の形状に対応した開口部が形成された蒸着マスクを用いて、第1半導体膜30, 第2半導体膜40上に電極材料(例えば、銀またはアルミニウム)を付着させて、導電電極50, 60を形成する。なお、導電電極50, 60は、真空蒸着またはスパッタ等により電極材料が第1, 第2半導体膜30, 40以外の領域に付着しないように、配列方向DAに沿った長さが第1半導体膜30, 第2半導体膜40よりも短くなるように形成される。このため、第1半導体膜30, 第2半導体膜40の第2表面31, 41には、導電電極50, 60に覆われない領域33, 43が存在する。この領域33, 43の幅は、一例を図10に示すようなセルフアライン(self-alignment)プロセスを使うことにより第1半導体膜30と第2半導体膜40との間隔Wg(図1を参照)より小さく調整できる。

#### 【0085】

次に、低温プラズマCVDまたは低温触媒CVDにより、電荷保有絶縁膜70の位置と形状を設定するために電荷保有絶縁膜70の形状に対応した開口部が形成された堆積マスクを用いて、シリコン窒化膜を堆積することにより、電荷保有絶縁膜70を形成する。シリコン窒化膜は100程度の低温プラズマCVD、室温を含む低温の低温触媒CVDで堆積可能である。

#### 【0086】

電荷保有絶縁膜70は、図1に示すように、第1半導体膜30と第2半導体膜40との間において水素化アモルファス半導体膜20と接するとともに、領域33, 43上で第1半導体膜30, 第2半導体膜40と接するように形成される。

#### 【0087】

##### [光電変換素子1の太陽電池効率]

次に、電荷保有絶縁膜70の効果を定量的に確認するために、光電変換素子1について、電荷保有絶縁膜70に保有される電荷(以下、保有電荷という)に対する太陽電池効率(開放電圧 $V_{oc}$  [mV]、短絡電流密度 $J_{sc}$  [mA/cm<sup>2</sup>]、フィルファクターFF [%]、電力変換効率 [%])の変化を調べた。変換効率の評価にはエアマス(Air Mass) 1.5の模擬光源を用いる。保有電荷の変化は、例えば電荷保有絶縁膜として窒化シリコン膜を用いる場合には、窒化シリコンにおけるシリコンと窒素との割合を変化させることにより、または、電荷保有絶縁膜上に設けた電極から正孔を注入することにより実現可能である。

#### 【0088】

また、第1半導体膜30の幅を500 $\mu$ mとし、第2半導体膜40の幅を1200 $\mu$ mとし、第1半導体膜30と第2半導体膜40との間隔Wg(図1を参照)を50 $\mu$ m, 100 $\mu$ m, 150 $\mu$ mとした。そして、保有電荷の密度Qfを $10^{11} \sim 10^{13}$  [q/cm<sup>2</sup>]で変化させた。なお、結晶半導体領域10の第2表面11の界面準位密度は、 $10^{12}$  [/cm<sup>2</sup>]である。なお、領域33, 43の寸法はセルフアラインプロセスにより無視できる程度に小さくした。

#### 【0089】

結晶半導体領域10の第2表面11の界面準位密度(= $10^{12}$  [/cm<sup>2</sup>])が清浄

10

20

30

40

50

界面の界面準位密度 ( $= 10^{10} [\text{/cm}^2]$ ) より遥かに大きく、製造装置を超クリーンに維持しなくても実現できるレベルであるにも関わらず、図6に示すように、保有電荷の密度  $Q_f$  が  $1 \times 10^{11}$  から増加して  $8 \times 10^{11}$  に至り、それ以上になると全ての太陽電池パラメータが最高値に急速に近づく。また電力変換効率は、最高値である約21%の0.95倍の値に近づく。この傾向は、間隔  $W_g$  が  $50 \sim 150 \mu\text{m}$  で変化しても大きく変化しない。

【0090】

以上より、光電変換素子1は、結晶半導体領域10の第2表面11の界面準位密度が  $10^{12} [\text{/cm}^2]$  と大きくても、第1半導体膜30と第2半導体膜40との間隔  $W_g$  を大きくすることができるとともに、間隔  $W_g$  がばらついても保有電荷の密度  $Q_f$  を増加させることにより最高効率に近い変換効率を得ることができる。

10

【0091】

さらに電荷保有絶縁膜70が接する部分でアモルファス半導体膜20に価電子制御不純物(半導体領域10がn形の場合は燐)を  $8 \times 10^{17}$  原子/cm<sup>3</sup> 添加すると、保有電荷の密度  $Q_f$  が  $4 \times 10^{11} [\text{/cm}^2]$  以上で、すべての太陽電池パラメータは最高値の0.95倍に近づく。

【0092】

このように光電変換素子1は、結晶半導体領域10と、水素化アモルファス半導体膜20と、第1半導体膜30と第2半導体膜40と、電荷保有絶縁膜70とを備える。

結晶半導体領域10は、多結晶または単結晶のシリコンで形成されてn形を有する。

20

【0093】

水素化アモルファス半導体膜20は、結晶半導体領域10の第2表面11に接するように配置され、非晶質のシリコンで形成されるとともに水素化されている。

第1半導体膜30は、水素化アモルファス半導体膜20に接するように配置され、ドナー(燐)を  $1.5 \times 10^{19}$  原子/cm<sup>3</sup> 添加された20nm厚の水素化アモルファスシリコンで形成されている。

【0094】

第2半導体膜40は、第1半導体膜30から離間し、水素化アモルファス半導体膜20に接するように配置され、アクセプター(硼素)を  $2.05 \times 10^{19}$  原子/cm<sup>3</sup> 添加された20nm厚の水素化アモルファスシリコンで形成されている。

30

【0095】

電荷保有絶縁膜70は、第1半導体膜30と第2半導体膜40との間において水素化アモルファス半導体膜20に接するように配置され、表面およびまたは内部に電荷を保有する絶縁膜である。

【0096】

そして光電変換素子1では、電荷保有絶縁膜70が表面およびまたは内部に保有する保有電荷の極性は結晶半導体領域10がn形の場合は正である。

このように構成された光電変換素子1は、結晶半導体領域10の第1表面12側から光が入射することにより光電変換素子1の内部で発生した多数キャリアと同符号の光発生電流を、結晶半導体領域10の第2表面11側に設けられた第1半導体膜30から引き出すことができる。また光電変換素子1は、結晶半導体領域10の第1表面12側から光が入射することにより発生した光起電圧と、光電変換素子1の内部で発生した少数キャリアと同符号の光発生電流とを、結晶半導体領域10の第2表面11側に設けられた第2半導体膜40から引き出すことができる。

40

【0097】

そして光電変換素子1は、結晶半導体領域10の第2表面11側における第1半導体膜30と第2半導体膜40との間に電荷保有絶縁膜70を備えることにより、結晶半導体領域10の第2表面11における電荷保有絶縁膜70に対向する部分が蓄積状態となる。この部分の電界は少数キャリアを第2表面11から追い返す極性の電界となるので、光発生した少数キャリアが第2表面11で再結合をして失われる機会を阻止する。したがって、

50

光電変換素子 1 は、光電流出力を向上させることができ、出力電圧も向上させることができる。また、多数キャリアは平衡状態より多く結晶半導体領域 10 の第 2 表面 11 に集まっているため、第 1 半導体膜 30 と第 2 半導体膜 40 との間における結晶半導体領域 10 の第 2 表面 11 の表面抵抗が小さくなり、光電変換素子 1 は、フィルファクターも向上させることができる。このため、光電変換素子 1 は、第 1 半導体膜 30 と第 2 半導体膜 40 との間隔が大きくなっても、変換効率の低下を抑制することができる。

#### 【0098】

また、電荷保有絶縁膜 70 は絶縁膜であるため、電荷保有絶縁膜 70 が第 1 半導体膜 30、第 2 半導体膜 40 へ重畳しても第 1 半導体膜 30 と第 2 半導体膜 40 との間は電氣的に短絡されない。したがって、第 1 半導体膜 30、第 2 半導体膜 40 と電荷保有絶縁膜 70 との位置合わせは高い精度が要求されず、製造技術上の観点から製造し易い構造となる。すなわち、光電変換素子 1、更には本発明の光電変換素子は、加工寸法に裕度を持って製造することが可能となる。

10

#### 【0099】

また、光電変換素子 1 において、第 1 半導体膜 30、第 2 半導体膜 40 と電荷保有絶縁膜 70 と接する水素化アモルファス半導体膜 20 は連続した一つの膜である。すなわち、第 1 半導体膜 30、第 2 半導体膜 40 と電荷保有絶縁膜 70 と接する水素化アモルファス半導体膜は、同じ半導体を材料として形成され、且つ、膜厚が等しい。これにより、第 1 半導体膜 30、第 2 半導体膜 40 および電荷保有絶縁膜 70 と接する水素化アモルファス半導体膜 20 を同時に堆積することが可能となる。このため、光電変換素子 1 は、結晶半導体領域 10 の第 2 表面 11 が加工に晒される頻度を低減し、結晶半導体領域 10 の第 2 表面 11 における界面準位密度を低く抑えることができる。

20

#### 【0100】

以上説明した実施形態において、結晶半導体領域 10 は本発明における結晶半導体領域、水素化アモルファス半導体膜 20 は本発明における第 1 水素化アモルファス半導体膜、第 2 水素化アモルファス半導体膜および第 4 水素化アモルファス半導体膜、第 1 半導体膜 30 は本発明における第 1 半導体膜、第 2 半導体膜 40 は本発明における第 2 半導体膜、電荷保有絶縁膜 70 は本発明における第 2 電荷保有絶縁膜である。

#### 【0101】

(第 2 実施形態)

以下に本発明の第 2 実施形態を図面とともに説明する。

[光電変換素子 101 の構成]

本実施形態の光電変換素子 101 は、図 7 に示すように、図 5 に示されている領域 33、34 を無視できるほど小さくするために、第 1 導電電極 170、第 1 仕事関数膜 150、第 1 水素化アモルファス膜 120 の平面形状をを自動整合 (self-align) させ、第 2 導電電極 180、第 2 仕事関数膜 160、第 2 水素化アモルファス膜 130 の平面形状ををを自動整合 (self-align) させて結晶半導体領域 110 の第 2 表面 111 へ積層させた構造を示している。第 1 仕事関数膜 150、第 2 仕事関数膜 160 が Wg だけ離間している部分へ電荷保有絶縁膜 190、第 4 水素化アモルファス半導体膜が結晶半導体領域 110 の第 2 表面 111 へ積層されている。なお、上記自動整合させる製造方法の一例を別の光電変換素子の実施例の図 8 ~ 12 で示す。

30

40

#### 【0102】

本実施形態の光電変換素子 101 は、図 7 に示すように、結晶半導体領域 110 と、水素化アモルファス半導体膜 120、130、140 と、仕事関数膜 150、160 と、導電電極 170、180 と、電荷保有絶縁膜 190 と、パッシベーション膜 200 と、反射防止膜 210 を備える。

#### 【0103】

結晶半導体領域 110 は、多結晶または単結晶の半導体で形成された基板である。本実施形態では、結晶半導体領域 110 は、導電形が n 形のシリコンで形成されている。p 形シリコンでもよい。厚さは少数キャリアの拡散長より小さく選ばれる。また本実施形態

50

では、結晶半導体領域 110 は、n 形の不純物が  $1 \times 10^{15} \sim 1 \times 10^{16} [ / \text{cm}^3 ]$  の濃度でドーピングされている。

【0104】

水素化アモルファス半導体膜 120, 130, 140 は、非晶質の半導体で形成されるとともに水素化された膜であり、結晶半導体領域 110 の第 2 表面 111 に接するように配置される。本実施形態では、水素化アモルファス半導体膜 120, 130 は、厚さが 5 nm の水素化アモルファスシリコンである。また本実施形態では、水素化アモルファス半導体膜 120, 130 は、意図的な不純物添加はされていない。水素化アモルファス半導体膜 140 は厚さが 7 nm の水素化アモルファスシリコンである、n 形不純物が  $2.2 \times 10^{15} [ / \text{cm}^3 ]$  から  $8 \times 10^{17} [ / \text{cm}^3 ]$  までの濃度で可変としている。また水素化アモルファス半導体膜 120, 130, 140 は、結晶半導体領域 110 の第 2 表面 111 との界面を水素結合によりパッシベーションすることができる。このため、界面準位密度を低く抑えることができる。特に、結晶半導体領域 110 がシリコン、シリコン・ゲルマニウム、ゲルマニウムで形成されている場合に効果が大きい。

10

【0105】

水素化アモルファス半導体膜 120, 130 は、結晶半導体領域 110 の第 2 表面 111 と接して設けられ、予め設定された配列方向 DA に沿って交互に配列されている。図 7 では、水素化アモルファス半導体膜 120, 130 をそれぞれ 1 つ示している。互いに並置された水素化アモルファス半導体膜 120 と水素化アモルファス半導体膜 130 は、互いに離間して配置される。水素化アモルファス半導体膜 120, 130 は互いに同じ膜厚であっても異なってもよい。

20

【0106】

水素化アモルファス半導体膜 140 は、水素化アモルファス半導体膜 120 と水素化アモルファス半導体膜 130 との間に位置するように配置される。水素化アモルファス半導体膜 140 は、水素化アモルファス半導体膜 120, 130 と異なる膜厚でもよい。

【0107】

仕事関数膜 150 は、結晶半導体領域 110 のエネルギーバンドのミッドギャップ (mid-gap) のエネルギーレベルから見て結晶半導体領域 110 のフェルミレベル側にエネルギーレベルがある仕事関数を有する材料で形成され、水素化アモルファス半導体膜 120 上に配置される。なお、ミッドギャップとは、結晶半導体領域 110 の禁制帯の中央のエネルギーレベルを示す。また、仕事関数のエネルギーレベルとは、真空のエネルギーレベル (真空準位) から仕事関数の値だけ低いエネルギーレベルである。本実施形態では、仕事関数膜 150 は、n 形酸化亜鉛、アルミニウム等で形成されており、真空蒸着またはスパッタ等により水素化アモルファス半導体膜 120 上に付着される。

30

【0108】

仕事関数膜 160 は、結晶半導体領域 110 のミッドギャップのエネルギーレベルから見て結晶半導体領域 110 のフェルミレベルと反対側にエネルギーレベルがある仕事関数を有する材料で形成され、水素化アモルファス半導体膜 130 上に配置される。本実施形態では、仕事関数膜 160 は、酸化モリブデン ( $\text{MoO}_x$ )、酸化タングステン ( $\text{WO}_x$ ) 等で形成されており、真空蒸着またはスパッタ等により水素化アモルファス半導体膜 130 上に付着される。

40

【0109】

導電電極 170 は、銀 (Ag) またはアルミニウム (Al) 等で形成され、仕事関数膜 150 上に配置される。導電電極 180 は、銀 (Ag) またはアルミニウム (Al) 等で形成され、仕事関数膜 160 上に配置される。導電電極 170, 180 として金属膜を使用した場合、第 1、第 2 仕事関数膜と金属膜の界面で第 1、第 2 仕事関数膜と金属膜とが化合してしまう場合はそれを防ぐため、また界面での光の高反射率を確保するために、金属膜と第 1、第 2 仕事関数膜の間に酸化インジウム、酸化インジウム錫、酸化亜鉛等の透明導電膜を挿入することがある。

【0110】

50

電荷保有絶縁膜 190 は、表面およびまたは内部に電荷を保有するように形成された絶縁膜であり、水素化アモルファス半導体膜 140 上に配置される。本実施形態では、電荷保有絶縁膜 190 は、結晶半導体領域 110 が n 形の場合は、シリコン窒化膜であり、結晶半導体領域 110 が p 形の場合は、酸化アルミニウム膜である。

【0111】

パッシベーション膜 200 は、光が光電変換素子 101 内に入射することにより発生した少数キャリアが再結合するのを抑制するために、結晶半導体領域 110 の第 1 表面 112 に接するように配置される。反射防止膜 210 は、パッシベーション膜 200 の第 1 表面 201 に接するように配置される。

【0112】

このように光電変換素子 101 は、結晶半導体領域 110 と、水素化アモルファス半導体膜 120, 130, 140 と、仕事関数膜 150, 160 と、電荷保有絶縁膜 190 とを備える。

【0113】

結晶半導体領域 110 は、多結晶または単結晶のシリコンで形成されて n 形を有する。

水素化アモルファス半導体膜 120 は、結晶半導体領域 110 の第 2 表面 111 に接するように配置され、非晶質のシリコンで形成されるとともに水素化されている。

【0114】

仕事関数膜 150 は、水素化アモルファス半導体膜 120 に接するように配置され、結晶半導体領域 110 のエネルギーバンドのミッドギャップのエネルギーレベルから見て結晶半導体領域 110 のフェルミレベル側にエネルギーレベルがある仕事関数を有する材料で形成されている。

【0115】

水素化アモルファス半導体膜 130 は、結晶半導体領域 110 の第 2 表面 111 に接するように配置され、非晶質のシリコンで形成されるとともに水素化されている。

仕事関数膜 160 は、仕事関数膜 150 から離間し、水素化アモルファス半導体膜 130 に接するように配置され、結晶半導体領域 110 のミッドギャップのエネルギーレベルから見て結晶半導体領域 110 のフェルミレベルと反対側(逆側)にエネルギーレベルがある仕事関数を有する材料で形成されている。

【0116】

水素化アモルファス半導体膜 140 は、仕事関数膜 150 と仕事関数膜 160 との間において結晶半導体領域 110 の第 2 表面 111 に接するように配置され、非晶質のシリコンで形成されるとともに水素化されている。

【0117】

電荷保有絶縁膜 190 は、仕事関数膜 150 と仕事関数膜 160 との間において水素化アモルファス半導体膜 140 に接するように配置され、表面およびまたは内部に電荷を保有する絶縁膜である。

【0118】

そして光電変換素子 101 では、電荷保有絶縁膜 190 が表面およびまたは内部に保有する保有電荷の極性は結晶半導体領域の電導度が n 形の場合は正であり、結晶半導体領域の電導度が p 形の場合は負である。

【0119】

このように構成された光電変換素子 101 は、結晶半導体領域 110 の第 1 表面 112 側から光が入射することにより光電変換素子 101 の内部で発生した多数キャリアと同符号の光発生電流を、結晶半導体領域 110 の第 2 表面 111 側に設けられた仕事関数膜 150 から引き出すことができる。また光電変換素子 101 は、結晶半導体領域 110 の第 1 表面 112 側から光が入射することにより発生した光起電圧と、光電変換素子 101 の内部で発生した少数キャリアと同符号の光発生電流とを、結晶半導体領域 110 の第 2 表面 111 側に設けられた仕事関数膜 160 から引き出すことができる。

【0120】

10

20

30

40

50

そして光電変換素子101は、結晶半導体領域110の第2表面111側における仕事関数膜150と仕事関数膜160との間に電荷保有絶縁膜190を備えることにより、結晶半導体領域110の第2表面111における電荷保有絶縁膜190に対向する部分が蓄積状態となる。この部分の電界は少数キャリアを第2表面111から追い返す極性の電界となるので、光発生した少数キャリアが第2表面111で再結合をして失われる機会を阻止する。したがって、光電変換素子101は、光電流出力を向上させることができ、出力電圧も向上させることができる。また、多数キャリアは平衡状態より多く結晶半導体領域110の第2表面111に集まっているため、仕事関数膜150と仕事関数膜160との間における結晶半導体領域110の第2表面111の第1表面抵抗が小さくなり、光電変換素子101は、フィルファクターも向上させることができる。このため、光電変換素子101は、仕事関数膜150と仕事関数膜160との間隔が大きくなっても、変換効率の低下を抑制することができる。

10

#### 【0121】

また、電荷保有絶縁膜190は絶縁膜であるため、電荷保有絶縁膜190が仕事関数膜150、160へ重畳しても仕事関数膜150と仕事関数膜160との間は電氣的に短絡されない。したがって、仕事関数膜150、160と電荷保有絶縁膜190との位置合わせは高い精度が要求されず、製造技術上の観点から製造し易い構造となる。すなわち、光電変換素子101は、加工寸法に裕度を持って製造することが可能となる。

#### 【0122】

また、光電変換素子101において、水素化アモルファス半導体膜120、130は、同じ半導体を材料として形成され、且つ、膜厚を等しくすることができる。これにより、水素化アモルファス半導体膜120、130を同時に堆積することが可能となる。このため、光電変換素子101は、結晶半導体領域110の第2表面111が加工に晒される頻度を低減し、結晶半導体領域110の第2表面111における界面準位密度を低く抑えることができる。

20

#### 【0123】

以上説明した実施形態において、結晶半導体領域110は本発明における結晶半導体領域、水素化アモルファス半導体膜120は本発明における第1水素化アモルファス半導体膜、仕事関数膜150は本発明における第1仕事関数膜、水素化アモルファス半導体膜130は本発明における第2水素化アモルファス半導体膜、仕事関数膜160は本発明における第2仕事関数膜、水素化アモルファス半導体膜140は本発明における第3水素化アモルファス半導体膜、電荷保有絶縁膜190は本発明における第1電荷保有絶縁膜である。

30

#### 【0124】

以上、本発明の一実施形態について説明したが、本発明は上記実施形態に限定されるものではなく、本発明の技術的範囲に属する限り種々の形態を採ることができる。

#### (変形例1)

例えば上記第1実施形態では、第1、第2半導体膜30、40の第2表面31、41において、導電電極50、60に覆われない領域33、43が存在する製造工程を示した(図5を参照)。しかし、領域33、43が形成されるのを回避するために、以下に示す製造工程を採用するとよい。

40

#### 【0125】

まず、図8に示すように、第1、第2半導体膜30、40と導電電極50、60の幅(すなわち、配列方向DAに沿った長さ)が第1実施形態より大きくなるように第1、第2半導体膜30、40と導電電極50、60を形成する。そして、図9に示すように、図8に示す工程で形成された第1、第2半導体膜30、40と導電電極50、60の幅より小さい幅でエッチングレジスト56、66を印刷する。さらに、図10に示すように、エッチングレジスト56とエッチングレジスト66をマスクとしてそれぞれ、導電電極50および第1半導体膜30と、導電電極60および第2半導体膜40をエッチングする。これにより、領域33、43が形成されるのを回避することができる。

50

## 【0126】

次に、図11に示すように、エッチングレジスト56, 66が導電電極50, 60に接着した状態で、堆積マスクを用いて、水素化アモルファス半導体膜25と電荷保有絶縁膜70を堆積する。その後、エッチングレジスト56, 66を溶媒またはオゾン等により溶解または気相エッチングすると、いわゆるリフトオフ効果により、図12に示すように、第1半導体膜30と第2半導体膜40との間に、電荷保有絶縁膜70が残る。この場合に、電荷保有絶縁膜70と第1、第2半導体膜30, 40との間には、水素化アモルファス半導体膜25が介在する。しかし、水素化アモルファス半導体膜25の厚さが通常10nm前後であるのに対して、間隔Wgは数十~百μmのオーダーである。このため、水素化アモルファス半導体膜25の影響を無視することができる。

10

## 【0127】

また、電荷保有絶縁膜70と第1、第2半導体膜30, 40との間に水素化アモルファス半導体膜25が介在するのを回避するためには、エッチングレジスト56, 66をマスクとして導電電極50, 60および第1、第2半導体膜30, 40をエッチングする工程で、水素化アモルファス半導体膜20までエッチングしないようにするとよい。これにより、水素化アモルファス半導体膜25を堆積する必要がなくなるからである。

## 【0128】

## (変形例2)

また上記第1実施形態では、結晶半導体領域10の導電形がn形であるものを示した。しかし、結晶半導体領域10の導電形がp形であるようにしてもよい。この場合には、第1半導体膜30の導電形をp形に、第2半導体膜40の導電形をn形に、電荷保有絶縁膜70が保有する電荷の極性を負にする必要がある。負の電荷を保有する絶縁膜としては、酸化アルミニウムが挙げられる。酸化アルミニウム膜は原子層堆積法(ALD: atomic layer deposition)により250℃以下の低温で堆積することが可能である。

20

## 【0129】

## (変形例3)

また上記第1実施形態では、第1、第2半導体膜30, 40を用いたものを示した。しかし、第1、第2半導体膜30, 40の代わりに、水素化微結晶シリコンを用いるようにしてもよい。微結晶は、ナノメーターからサブミクロンサイズの結晶がアモルファスの組織の中に埋め込まれた構造を有し、アモルファスに比べて抵抗率が低い。

30

## 【0130】

## (変形例4)

また上記第1実施形態では、反射防止膜90がシリコン窒化膜であるものを示した。しかし、反射防止膜90が酸化チタンであるようにしてもよい。また、パッシベーション膜と反射防止膜を一つで兼用する材料を選ぶようにしてもよい。このような材料として、例えば、結晶半導体領域10がn形シリコンである場合にはシリコン窒化膜が挙げられる。

## 【0131】

## (変形例5)

また上記第1, 2実施形態では、水素化アモルファス半導体膜が水素化アモルファスシリコン(aSi:H)であるものを示した。しかし、水素化アモルファス半導体膜として、水素化アモルファスシリコン(aSi:H)、水素化アモルファスシリコンカーバイト(aSi<sub>x</sub>C<sub>y</sub>:H)、酸素を含む水素化アモルファスシリコン(aSi<sub>x</sub>O<sub>y</sub>:H)、水素化アモルファスシリコン・ゲルマニウム(aSi<sub>x</sub>Ge<sub>y</sub>:H)などを用いるようにしてもよい。

40

## 【0132】

また上記第1, 2実施形態では、導電電極が金属薄膜であるものを示した。しかし、導電電極は、金属印刷膜(金属ペースト塗布、乾燥または焼成したもの)、またはグラフェン等のナノカーボンなどであってもよい。更に、光の反射を確保するため、または金属と第1、第2半導体膜または第1、第2仕事関数膜との反応を防ぐために透明導電膜を、導電電極50, 60と第1、第2半導体膜30, 40との間、および、導電電極170, 1

50

80と仕事関数膜150, 160との間に設けるようにしてもよい。透明導電膜としては、例えば、酸化インジウム( $\text{InO}_x$ )、水素化酸化インジウム( $\text{InO}_x:\text{H}$ )、酸化インジウム錫(ITO)、酸化亜鉛( $\text{ZnO}_x$ )およびそのアルミニウム(Al)添加物またはホウ素(B)添加物などが挙げられる。

#### 【0133】

(変形例6)

また上記第1実施形態では、結晶半導体領域10に接するように水素化アモルファス半導体膜20を堆積した後に、水素化アモルファス半導体膜20に接するように第1、第2半導体膜30, 40と電荷保有絶縁膜70を形成するものを示した。しかし、結晶半導体領域10に接するように形成される水素化アモルファス半導体膜は、第1半導体膜30と接する部分と、第2半導体膜40と接する部分と、電荷保有絶縁膜70と接する部分とをそれぞれ別々に堆積するようにしてもよい。

10

#### 【0134】

そして、上記第1実施形態において、水素化アモルファス半導体膜20における第1、第2半導体膜30, 40と接する部分では意図的な不純物ドーピングがされていないか、されていたとしてもn形不純物濃度が $2.2 \times 10^{15} [\text{/cm}^3]$ であり、水素化アモルファス半導体膜20における電荷保有絶縁膜70と接する部分のn形不純物濃度が $8 \times 10^{17} [\text{cm}^3]$ である場合には、変換効率の急速な増加が生ずる保有電荷密度 $Q_f$ が $4 \times 10^{11} [\text{q/cm}^2]$ になる。すなわち、 $Q_f = 4 \times 10^{11} [\text{q/cm}^2]$ であれば変換効率が増加する。

20

#### 【0135】

結晶半導体領域10の第2表面11が蓄積状態となり少数キャリアが追い返される状態を作るための電荷保有絶縁膜70の電荷密度は、結晶半導体領域10が $1 \sim 10 \text{ cm}$ 程度の結晶シリコンであり、水素化アモルファス半導体膜20における電荷保有絶縁膜70と接している部分に価電子制御不純物を $8 \times 10^{17} [\text{cm}^3]$ 程度添加したときは、 $4 \times 10^{11} [\text{q/cm}^2]$ 以上である。

#### 【0136】

また、結晶半導体領域10に接するように形成される水素化アモルファス半導体膜は、第1半導体膜30と接する部分と、第2半導体膜40と接する部分と、電荷保有絶縁膜70と接する部分との少なくとも2つを同時に堆積するようにしてもよい。これにより、結晶半導体領域10の第2表面11が加工に晒される頻度を低減し、結晶半導体領域10の第2表面11における界面準位密度を低く抑えることができる。

30

#### 【0137】

(変形例7)

また上記第2実施形態では、結晶半導体領域110の導電形がn形であるものを示した。しかし、結晶半導体領域10の導電形がp形であるようにしてもよい。この場合には、仕事関数膜150は、エネルギーレベルが結晶半導体領域110のエネルギーバンドのミッドギャップエネルギーレベルより価電子帯側にある仕事関数を有する材料で形成され、仕事関数膜160は、エネルギーレベルが結晶半導体領域110のエネルギーバンドのミッドギャップエネルギーレベルより伝導帯側にある仕事関数を有する材料で形成されるようにする。

40

#### 【0138】

(変形例8)

また上記第2実施形態では、仕事関数膜150が、n形酸化亜鉛、アルミニウム等で形成されているものを示した。しかし、仕事関数膜150は、結晶シリコンのエネルギーバンドのミッドギャップエネルギーレベルから伝導帯に近いエネルギーレベルか、更に結晶シリコンの伝導帯よりも真空のエネルギーレベル側のエネルギーレベルである仕事関数を有する材料であればよく、例えば、マグネシウム(化学的に安定な材料によるコーティングが必要)等が挙げられる。

#### 【0139】

50

また上記第2実施形態では、仕事関数膜160が酸化モリブデン(MoO<sub>x</sub>)、酸化タングステン(WO<sub>x</sub>)で形成されているものを示した。しかし、仕事関数膜160は、結晶シリコンのエネルギーバンドのミッドギャップエネルギーレベルから価電子帯に近いが、更に結晶シリコンの価電子帯よりも真空のエネルギーレベルから遠い側のエネルギーレベルである仕事関数を有する材料であればよい。

#### 【0140】

なお、結晶半導体領域110の導電形がp形である場合には、仕事関数膜150用と仕事関数膜160用としての材料選択グループが上記とは逆になる。

##### (変形例9)

また上記第2実施形態では、仕事関数膜150が、結晶半導体領域110のエネルギーバンドのミッドギャップのエネルギーレベルから見て結晶半導体領域110のフェルミレベル側にエネルギーレベルがある仕事関数を有する材料で形成されているものを示した。しかし、結晶半導体領域110がn形である場合は、仕事関数膜150は、エネルギーレベルが結晶半導体領域110のフェルミレベルより伝導帯(conduction band)側にある仕事関数を有する材料で形成されるのが望ましい。また、結晶半導体領域110の導電形がp形である場合には、仕事関数膜150は、エネルギーレベルが結晶半導体領域110のエネルギーバンドのミッドギャップのエネルギーレベルから見て価電子帯(valence band)側にある仕事関数を有する材料で形成されるのが望ましい。この組み合わせにより、結晶半導体領域110の第2表面111にはエネルギーバンドの曲りが生じ蓄積層が形成される。このため、結晶半導体領域110の多数キャリアと同符号の光発生電流が引き出し易くなり、且つ、これと逆符号の光発生少数キャリアは蓄積層で形成された電界により仕事関数膜150下の第2表面111から追い返され、仕事関数膜160下の第2表面111で取り出されるようになり、光電流の効率も増加する。

#### 【0141】

##### (変形例10)

また上記第2実施形態では、結晶半導体領域110がn形である場合は、仕事関数膜160が、結晶半導体領域110のエネルギーバンドのミッドギャップのエネルギーレベルから見て価電子帯側にある仕事関数を有する材料で形成されるのが望ましい。また、結晶半導体領域110の導電形がp形である場合には、仕事関数膜160は、エネルギーレベルが結晶半導体領域110のエネルギーバンドのミッドギャップのエネルギーレベルから見て伝導帯側にある仕事関数を有する材料で形成されるのが望ましい。この組み合わせにより、結晶半導体領域110の第2表面111にはエネルギーバンドの曲りが生じ空乏層(depletion layer)または反転層(inversion layer)が形成される。このため、光電変換素子101から、光起電圧と、結晶半導体領域110の少数キャリアと同符号の光発生電流とを引き出すことができる。

#### 【0142】

##### (変形例11)

また上記第1実施形態では、導電電極50, 60を備えるものを示した。しかし、第1、第2半導体膜30, 40の抵抗が、第1、第2半導体膜30, 40から電流を引き出すことができる程度の大きさである場合には、導電電極50, 60を省略してもよい。同様に、上記第2実施形態では、導電電極170, 180を備えるものを示した。しかし、仕事関数膜150, 160の抵抗が、仕事関数膜150, 160から電流を引き出すことができる程度の大きさである場合には、導電電極170, 180を省略してもよい。

#### 【0143】

##### (変形例12)

また上記第1実施形態では、結晶半導体領域10に接するように水素化アモルファス半導体膜20を堆積した後に、水素化アモルファス半導体膜20に接するように第1、第2半導体膜30, 40と電荷保有絶縁膜70を形成するものを示した。すなわち、結晶半導体領域10に接するように形成される水素化アモルファス半導体膜は、第1半導体膜30と接する部分と、第2半導体膜40と接する部分と、電荷保有絶縁膜70と接する部分と

10

20

30

40

50

で膜厚が等しいものを示した。しかし、第1半導体膜30と接する部分と、第2半導体膜40と接する部分と、電荷保有絶縁膜70と接する部分とが互いに異なる膜厚を有するようにしてもよい。

【0144】

または、結晶半導体領域10に接するように形成される水素化アモルファス半導体膜は、第1半導体膜30と接する部分と、第2半導体膜40と接する部分と、電荷保有絶縁膜70と接する部分との少なくとも2つは、膜厚が等しいようにしてもよい。これにより、結晶半導体領域10の第2表面11が加工に晒される頻度を低減し、結晶半導体領域10の第2表面11における界面準位密度を低く抑えることができる。

【0145】

また上記第2実施形態では、水素化アモルファス半導体膜140が水素化アモルファス半導体膜120, 130と異なる膜厚であるものを示した。しかし、水素化アモルファス半導体膜120, 130, 140が互いに異なる膜厚を有するようにしてもよい。

【0146】

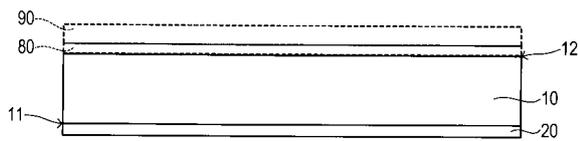
または、水素化アモルファス半導体膜120, 130, 140は、互いに膜厚が等しいようにしてもよい。これにより、水素化アモルファス半導体膜120, 130, 140を同時に堆積することが可能となる。このため、光電変換素子101は、結晶半導体領域110の第2表面111が加工に晒される頻度を低減し、結晶半導体領域110の第2表面111における界面準位密度を低く抑えることができる。

【符号の説明】

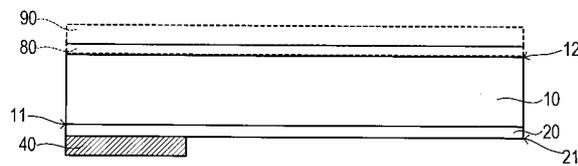
【0147】

1...光電変換素子、10...結晶半導体領域、20, 25, 30, 40...水素化アモルファス半導体膜、70...電荷保有絶縁膜、101...光電変換素子、110...結晶半導体領域、120, 130, 140...水素化アモルファス半導体膜、30, 40---半導体膜、150, 160...仕事関数膜、190...電荷保有絶縁膜

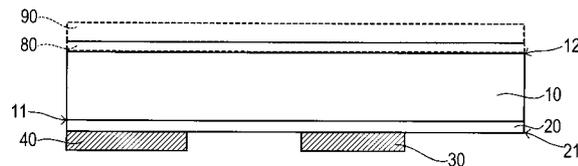
【図2】



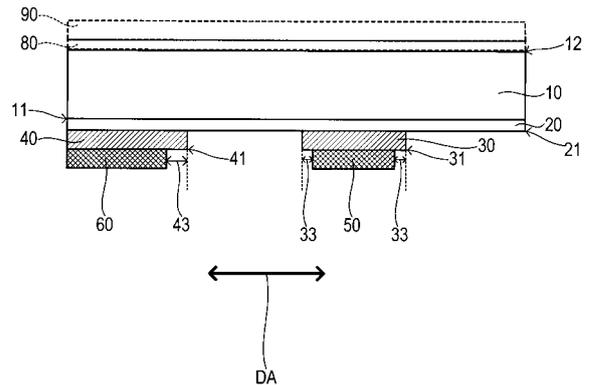
【図3】



【図4】



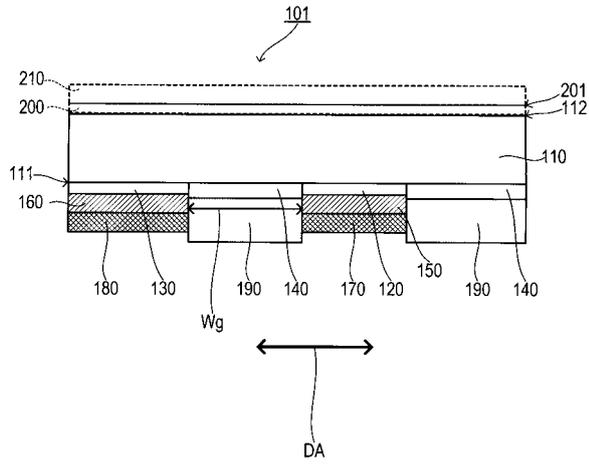
【図5】



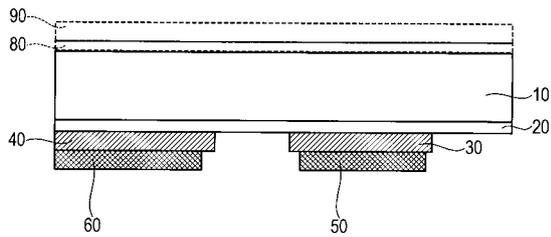
10

20

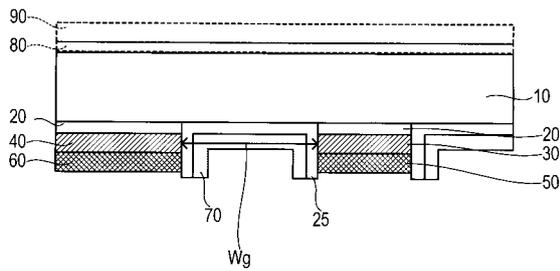
【 図 7 】



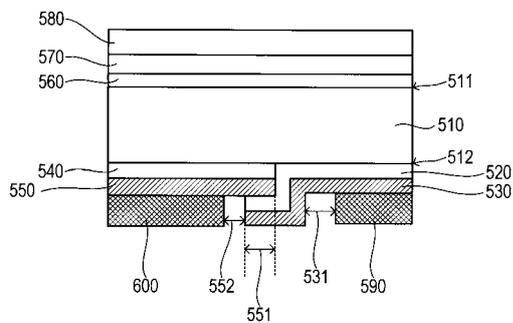
【 図 8 】



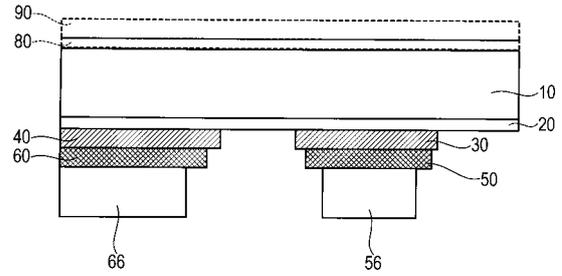
【 図 1 2 】



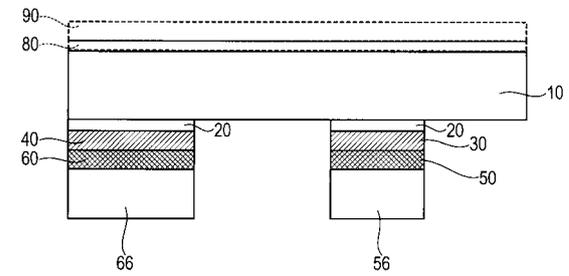
【 図 1 3 】



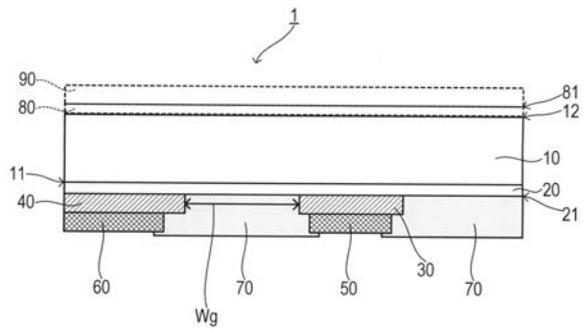
【 図 9 】



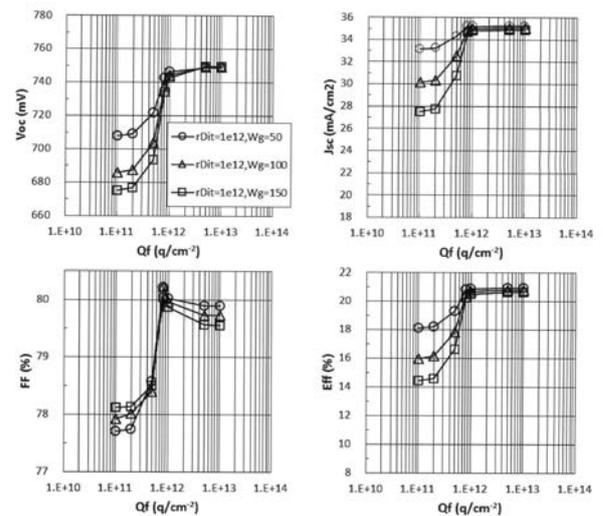
【 図 1 0 】



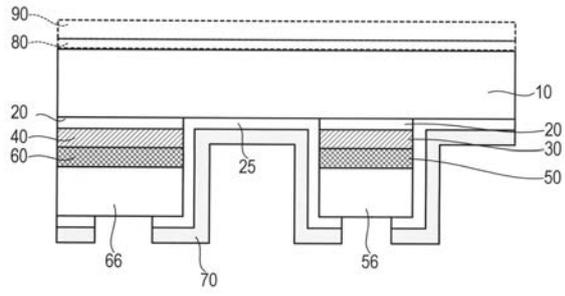
【 図 1 】



【 図 6 】



【 図 1 1 】



---

フロントページの続き

Fターム(参考) 4M104 AA01 AA02 AA03 AA07 AA08 BB02 BB08 BB36 BB39 BB40  
CC01 DD03 DD15 DD26 DD34 DD37 DD51 DD68 DD71 DD78  
EE09 EE16 EE17 FF18 FF31 GG02 GG05 HH11 HH20  
5F151 AA04 AA05 CA15 DA10 GA04