

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-197261

(P2013-197261A)

(43) 公開日 平成25年9月30日 (2013.9.30)

| (51) Int. Cl. | F I | テーマコード (参考) |
|--------------------------|-------------------|-------------|
| HO 1 L 21/822 (2006.01) | HO 1 L 27/04 C | 4M104 |
| HO 1 L 27/04 (2006.01) | HO 1 L 27/10 651 | 5F038 |
| HO 1 L 21/8242 (2006.01) | HO 1 L 21/28 301B | 5F083 |
| HO 1 L 27/108 (2006.01) | HO 1 L 21/28 301R | |
| HO 1 L 21/28 (2006.01) | HO 1 L 29/48 M | |

審査請求 未請求 請求項の数 23 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2012-61876 (P2012-61876)
 (22) 出願日 平成24年3月19日 (2012.3.19)

最終頁に続く

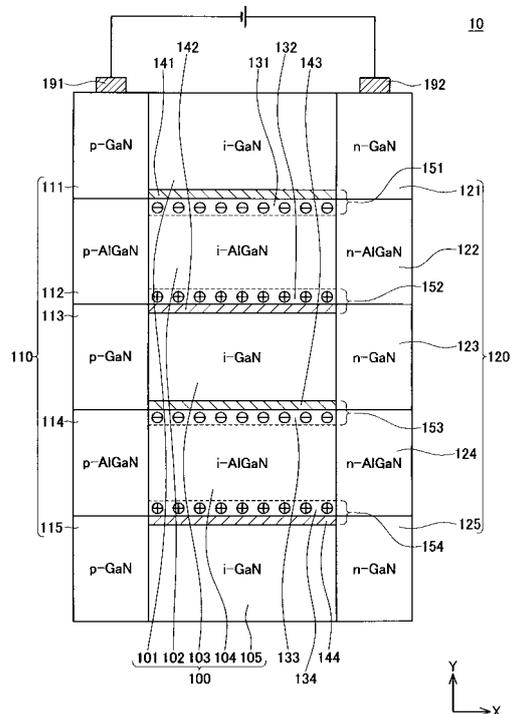
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 小型の蓄電型の半導体装置を提供する。

【解決手段】 半導体装置は、広バンドギャップ層と狭バンドギャップ層が第1方向に積層されて接合する第1接合部と、狭バンドギャップ層と広バンドギャップ層が第1方向に積層されて接合する第2接合部を有するダブル接合構造を1つまたは複数備えている積層体と、第1方向と交差する第2方向、第3方向に伸びており、積層体の各層と接合する電極半導体層とを備えている。ダブル接合構造内には、負の固定電荷を有する第1領域と正の固定電荷を有する第2領域とが少なくとも1対含まれている。第1領域は、第1接合部で接合する広バンドギャップ層の第1方向の中央位置よりも第1接合部に近い側に含まれている。第2領域は、第2接合部で接合する広バンドギャップ層の第1方向の中央位置よりも第2接合部に近い側に含まれている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 方向もしくはその逆方向に隣接する層の材料よりもバンドギャップが狭い材料によって形成された少なくとも 1 層の狭バンドギャップ層と、第 1 方向もしくはその逆方向に隣接する層の材料よりもバンドギャップが広い材料によって形成された少なくとも 1 層の広バンドギャップ層が、交互に積層されており、

広バンドギャップ層と狭バンドギャップ層が第 1 方向に積層されて接合する第 1 接合部と、狭バンドギャップ層と広バンドギャップ層が第 1 方向に積層されて接合する第 2 接合部を有するダブル接合構造を 1 つまたは第 1 方向に複数積層された状態で備えている、積層体と、

第 1 方向と交差する第 2 方向に伸びており、積層体の各層と接合する第 1 導電型の電極半導体層と、

第 1 方向と交差する第 3 方向に伸びており、積層体の各層と接合する第 2 導電型の電極半導体層とを備えた半導体装置であって、

積層体のダブル接合構造内には、負の固定電荷を有する第 1 領域と正の固定電荷を有する第 2 領域とが少なくとも 1 対含まれており、

第 1 領域は、第 1 接合部で接合する広バンドギャップ層の第 1 方向の中央位置よりも第 1 接合部に近い側に含まれており、

第 2 領域は、第 2 接合部で接合する広バンドギャップ層の第 1 方向の中央位置よりも第 2 接合部に近い側に含まれている、半導体装置。

【請求項 2】

負の固定電荷によって誘起されたホールの濃度と、正の固定電荷によって誘起された電子の濃度との濃度差は、第 1 導電型の電極半導体層と第 2 導電型の電極半導体層との間に電圧が印加された場合に、ホールと電子のいずれか一方のみが残存しない濃度差である、請求項 1 に記載の半導体装置。

【請求項 3】

キャパシタである、請求項 1 または 2 に記載の半導体装置。

【請求項 4】

第 1 領域は、第 1 接合部で接合する広バンドギャップ層に負の固定電荷をドーピングすることによって形成され、

第 2 領域は、第 2 接合部で接合する広バンドギャップ層に正の固定電荷をドーピングすることによって形成される、請求項 1 ないし 3 のいずれか一項に記載の半導体装置。

【請求項 5】

第 1 領域の負の固定電荷および第 2 領域の正の固定電荷は、自発分極とピエゾ分極のうちの少なくともいずれか一方によって発生する分極電荷を含む、請求項 1 ないし 4 のいずれか一項に記載の半導体装置。

【請求項 6】

第 1 領域の負の固定電荷および第 2 領域の正の固定電荷は、自発分極とピエゾ分極のうちの少なくともいずれか一方によって発生する分極電荷と、ドーピングされた固定電荷との双方を含む、請求項 1 ないし 5 のいずれか一項に記載の半導体装置。

【請求項 7】

積層体は、第 1 領域および第 2 領域よりも固定電荷の濃度が低い第 3 領域をさらに含んでおり、

第 3 領域は、1 つのダブル接合構造内の第 1 領域と第 2 領域の間、または隣接する 2 つのダブル接合構造のうち一方の第 1 領域と他方の第 2 領域の間に設けられている、請求項 1 ないし 6 のいずれか一項に記載の半導体装置。

【請求項 8】

第 3 領域は、負の固定電荷を有する領域と正の固定電荷を有する領域とを含んでおり、

第 3 領域の負の固定電荷を有する領域は、正の固定電荷を有する領域よりも第 2 領域に近い側に位置する、請求項 7 に記載の半導体装置。

10

20

30

40

50

【請求項 9】

第 3 領域は、1 つのダブル接合構造の各層のうち、最も耐圧が低い層に設けられている、請求項 7 または 8 に記載の半導体装置。

【請求項 10】

第 1 導電型の電極半導体層は、積層体の各層に第 1 導電型の不純物が導入された層によって形成されている、請求項 1 ないし 9 のいずれか一項に記載の半導体装置。

【請求項 11】

第 2 導電型の電極半導体層は、積層体の各層に第 2 導電型の不純物が導入された層によって形成されている、請求項 1 ないし 10 のいずれか一項に記載の半導体装置。

【請求項 12】

第 1 導電型の電極半導体層および第 2 導電型の電極半導体層が、積層体の最もバンドギャップが狭い層と同じ材料によって単一の半導体層として形成されている、請求項 1 ないし 9 のいずれか一項に記載の半導体装置。

【請求項 13】

第 1 方向もしくはその逆方向に隣接する層の材料よりもバンドギャップが狭い材料によって形成された少なくとも 1 層の狭バンドギャップ層と、第 1 方向もしくはその逆方向に隣接する層の材料よりもバンドギャップが広い材料によって形成された少なくとも 1 層の広バンドギャップ層が、交互に積層されており、

広バンドギャップ層と狭バンドギャップ層が第 1 方向に積層されて接合する第 1 接合部と、狭バンドギャップ層と広バンドギャップ層が第 1 方向に積層されて接合する第 2 接合部を有するダブル接合構造を 1 つまたは第 1 方向に複数積層された状態で備えている、積層体と、

第 1 方向と交差する第 2 方向に伸びており、積層体の各層とショットキー接合するショットキー電極層と、

第 1 方向と交差する第 3 方向に伸びており、積層体の各層と接合する電極半導体層とを備えた半導体装置であって、

積層体のダブル接合構造内には、負の固定電荷を有する第 1 領域と正の固定電荷を有する第 2 領域とが少なくとも 1 対含まれており、

第 1 領域は、第 1 接合部で接合する広バンドギャップ層の第 1 方向の中央位置よりも第 1 接合部に近い側に含まれており、

第 2 領域は、第 2 接合部で接合する広バンドギャップ層の第 1 方向の中央位置よりも第 2 接合部に近い側に含まれている、半導体装置。

【請求項 14】

負の固定電荷によって誘起されたホールの濃度と、正の固定電荷によって誘起された電子の濃度との濃度差は、ショットキー電極層と電極半導体層との間に電圧が印加された場合に、ホールと電子のいずれか一方のみが残存しない濃度差である、請求項 13 に記載の半導体装置。

【請求項 15】

第 1 領域は、第 1 接合部で接合する広バンドギャップ層に負の固定電荷をドーピングすることによって形成され、

第 2 領域は、第 2 接合部で接合する広バンドギャップ層に正の固定電荷をドーピングすることによって形成される、請求項 13 または 14 に記載の半導体装置。

【請求項 16】

第 1 領域の負の固定電荷および第 2 領域の正の固定電荷は、自発分極とピエゾ分極のうちの少なくともいずれか一方によって発生する分極電荷を含む、請求項 13 ないし 15 のいずれか一項に記載の半導体装置。

【請求項 17】

第 1 領域の負の固定電荷および第 2 領域の正の固定電荷は、自発分極とピエゾ分極のうちの少なくともいずれか一方によって発生する分極電荷と、ドーピングされた固定電荷との双方を含む、請求項 13 ないし 16 のいずれか一項に記載の半導体装置。

10

20

30

40

50

【請求項 18】

積層体は、第1領域および第2領域よりも固定電荷の濃度が低い第3領域をさらに含んでおり、

第3領域は、1つのダブル接合構造内の第1領域と第2領域の間、または隣接する2つのダブル接合構造のうち一方の第1領域と他方の第2領域の間に設けられている、請求項13ないし17のいずれか一項に記載の半導体装置。

【請求項 19】

第3領域は、負の固定電荷を有する領域と正の固定電荷を有する領域とを含んでおり、第3領域の負の固定電荷を有する領域は、正の固定電荷を有する領域よりも第2領域に近い側に位置する、請求項18に記載の半導体装置。

10

【請求項 20】

第3領域は、1つのダブル接合構造の各層のうち、最も耐圧が低い層に設けられている、請求項18または19に記載の半導体装置。

【請求項 21】

電極半導体層は、積層体の各層に第1導電型の不純物が導入された層によって形成されている、請求項13ないし20のいずれか一項に記載の半導体装置。

【請求項 22】

電極半導体層は、積層体の各層に第2導電型の不純物が導入された層によって形成されている、請求項13ないし20のいずれか一項に記載の半導体装置。

【請求項 23】

電極半導体層が、積層体の最もバンドギャップが狭い層と同じ材料によって単一の半導体層として形成されている、請求項13ないし20のいずれか一項に記載の半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本明細書に記載の技術は、半導体基板に形成されたキャパシタ等の半導体装置に関する。

【背景技術】

【0002】

特許文献1に、容量絶縁性膜によって隔離された半導体層に電荷を蓄積するキャパシタが記載されている。半導体基板の平面積に占めるキャパシタの面積を増大させることなくキャパシタの容量を増加させるために、特許文献1では、半導体基板の深さ方向に電荷を蓄積する部分を設けている。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2005-19598号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0004】

特許文献1のように、容量絶縁性膜によって隔離された半導体層に電荷を蓄積するキャパシタの場合、さらに小型かつ高容量のキャパシタを得るためには、容量絶縁性膜や半導体層等の構成を薄膜化する必要がある。薄膜化が進むと、絶縁膜や半導体層に欠陥が生じ易くなるため、小型かつ高容量のキャパシタを得ることは困難である。

【課題を解決するための手段】

【0005】

本明細書が開示する第1の半導体装置は、第1方向もしくはその逆方向に隣接する層の材料よりもバンドギャップが狭い材料によって形成された少なくとも1層の狭バンドギャップ層と、第1方向もしくはその逆方向に隣接する層の材料よりもバンドギャップが広い

50

材料によって形成された少なくとも1層の広バンドギャップ層が、交互に積層されており、広バンドギャップ層と狭バンドギャップ層が第1方向に積層されて接合する第1接合部と、狭バンドギャップ層と広バンドギャップ層が第1方向に積層されて接合する第2接合部を有するダブル接合構造を1つまたは第1方向に複数積層された状態で備えている、積層体と、第1方向と交差する第2方向に伸びており、積層体の各層と接合する第1導電型の電極半導体層と、第1方向と交差する第3方向に伸びており、積層体の各層と接合する第2導電型の電極半導体層とを備えている。積層体のダブル接合構造内には、負の固定電荷を有する第1領域と正の固定電荷を有する第2領域とが少なくとも1対含まれている。第1領域は、第1接合部で接合する広バンドギャップ層の第1方向の中央位置よりも第1接合部に近い側に含まれている。第2領域は、第2接合部で接合する広バンドギャップ層

10

【0006】

上記の第1の半導体装置においては、第1接合部において広バンドギャップ層に負の固定電荷を有する第1領域が含まれていることによって、第1接合部で接合する狭バンドギャップ層に二次元ホールガス(以下、2DHGという)領域が形成される。また、第2接合部において広バンドギャップ層に正の固定電荷を有する第2領域が含まれていることによって、第2接合部で接合する狭バンドギャップ層に二次元電子ガス(以下、2DEGという)領域が形成される。2DHG領域は第1導電型の電極半導体層と第2導電型の電極半導体層のいずれか一方にのみ電氣的に接続され、2DEG領域は他方にのみ電氣的に接続される。上記の半導体装置によれば、2DHG領域および2DEG領域によって電荷を蓄積するため、従来にない小型の半導体装置を実現することができる。

20

【0007】

上記の第1の半導体装置においては、第1接合部または第2接合部に負の固定電荷によって誘起されたホールの濃度と、正の固定電荷によって誘起された電子の濃度との濃度差は、第1導電型の電極半導体層と第2導電型の電極半導体層との間に電圧が印加された場合に、ホールと電子のいずれか一方のみが残存しない濃度差であることが好ましい。

【0008】

上記の第1の半導体装置は、キャパシタであってもよい。

【0009】

第1領域は、第1接合部で接合する広バンドギャップ層に負の固定電荷をドープすることによって形成され、第2領域は、第2接合部で接合する広バンドギャップ層に正の固定電荷をドープすることによって形成されてもよい。

30

【0010】

第1領域の負の固定電荷および第2領域の正の固定電荷は、自発分極とピエゾ分極のうちの少なくともいずれか一方によって発生する分極電荷を含んでいてもよい。

【0011】

第1領域の負の固定電荷および第2領域の正の固定電荷は、自発分極とピエゾ分極のうちの少なくともいずれか一方によって発生する分極電荷と、ドープされた固定電荷との双方を含んでいてもよい。

【0012】

積層体は、第1領域および第2領域よりも固定電荷の濃度が低い第3領域をさらに含んでおり、第3領域は、1つのダブル接合構造内の第1領域と第2領域の間、または隣接する2つのダブル接合構造のうち一方の第1領域と他方の第2領域の間に設けられていてもよい。

40

【0013】

第3領域は、負の固定電荷を有する領域と正の固定電荷を有する領域とを含んでおり、第3領域の負の固定電荷を有する領域は、正の固定電荷を有する領域よりも第2領域に近い側に位置していてもよい。

【0014】

第3領域は、1つのダブル接合構造の各層のうち、最も耐圧が低い層に設けられていて

50

もよい。

【0015】

第1導電型の電極半導体層は、積層体の各層に第1導電型の不純物が導入された層によって形成されていてもよい。

【0016】

第2導電型の電極半導体層は、積層体の各層に第2導電型の不純物が導入された層によって形成されていてもよい。

【0017】

第1導電型の電極半導体層および第2導電型の電極半導体層が、積層体の最もバンドギャップが狭い層と同じ材料によって単一の半導体層として形成されていてもよい。

10

【0018】

本明細書はまた、上記の第1の半導体装置に係る第1の電極半導体層または第2の電極半導体層のうちのいずれかをショットキー電極層に置き換えた、第2の半導体装置を開示する。第2の半導体装置は、第1方向もしくはその逆方向に隣接する層の材料よりもバンドギャップが狭い材料によって形成された少なくとも1層の狭バンドギャップ層と、第1方向もしくはその逆方向に隣接する層の材料よりもバンドギャップが広い材料によって形成された少なくとも1層の広バンドギャップ層が、交互に積層されており、広バンドギャップ層と狭バンドギャップ層が第1方向に積層されて接合する第1接合部と、狭バンドギャップ層と広バンドギャップ層が第1方向に積層されて接合する第2接合部を有するダブル接合構造を1つまたは第1方向に複数積層された状態で備えている、積層体と、第1方向と交差する第2方向に伸びており、積層体の各層とショットキー接合するショットキー電極層と、第1方向と交差する第3方向に伸びており、積層体の各層と接合する電極半導体層とを備えている。積層体のダブル接合構造内には、負の固定電荷を有する第1領域と正の固定電荷を有する第2領域とが少なくとも1対含まれている。第1領域は、第1接合部で接合する広バンドギャップ層の第1方向の中央位置よりも第1接合部に近い側に含まれている。第2領域は、第2接合部で接合する広バンドギャップ層の第1方向の中央位置よりも第2接合部に近い側に含まれている。

20

【図面の簡単な説明】

【0019】

【図1】実施例1に係る半導体装置の断面構造を模式的に示す図である。

30

【図2】実施例2に係る半導体装置の断面構造を模式的に示す図である。

【図3】実施例3に係る半導体装置の断面構造を模式的に示す図である。

【図4】実施例4に係る半導体装置の断面構造を模式的に示す図である。

【図5】実施例5に係る半導体装置の断面構造を模式的に示す図である。

【図6】実施例6に係る半導体装置の断面構造を模式的に示す図である。

【図7】実施例7に係る半導体装置の断面構造を模式的に示す図である。

【発明を実施するための形態】

【0020】

本明細書が開示する第1および第2の半導体装置は、キャパシタ等の蓄電型の半導体装置として好適に利用することができる。本明細書が開示する第1の半導体装置は、少なくとも3層以上の半導体層が積層された積層体と、第1方向と交差する第2方向に伸びており、積層体の各層と接合する第1導電型の電極半導体層と、第1方向と交差する第3方向に伸びており、積層体の各層と接合する第2導電型の電極半導体層とを備えている。本明細書が開示する第2の半導体装置は、少なくとも3層以上の半導体層が積層された積層体と、第1方向と交差する第2方向に伸びており、積層体の各層とショットキー接合するショットキー電極層と、第1方向と交差する第3方向に伸びており、積層体の各層と接合する電極半導体層とを備えている。

40

【0021】

本明細書が開示する第1および第2の半導体装置では、積層体は、バンドギャップの相違する半導体層を積層することによって形成されている。バンドギャップの相違する半導

50

体層の組み合わせを例示すると、特に限定されないが、2種類以上の相違する結晶材料、同位体材料、結晶構造材料の組み合わせを挙げることができる。より具体的には、結晶材料の組み合わせとしては、例えば、AlGa_nNとGa_nN、AlGaAsとGaAsまたはInAlGaAsPとInGaP等のIII族原子とV族原子をそれぞれ1種以上含むIII-V族半導体化合物の組み合わせ、ZnMgOとZnO等のII族原子とVI族原子をそれぞれ1種以上含むII-VI族半導体化合物の組み合わせ、SiGeCとSiGeSiとGe等のIV族原子を1種以上含み、互いに組成比が相違するIV族半導体化合物の組み合わせ、CdSとCZTS等のII-IV-VI族半導体化合物等の多様な元素の組み合わせが可能である。なお、上記の化合物の表記においては、組成比を表すサフィックスは省略されており、適宜好ましい組成比の化合物を用いることができる。また、同位体材料の組み合わせとしては、例えば、¹³Cと¹²C、²⁸Siと²⁹Siと³⁰Siを挙げることができる。また、結晶構造材料の組み合わせとしては、例えば、ウルツ鉱構造のGa_nNと閃亜鉛構造のGa_nN、単結晶のGa_nNと多結晶のGa_nNを挙げることができる。バンドギャップの相違する半導体層の組み合わせとして好ましいものを挙げると、バンドギャップ差が大きく、格子定数差が小さい組合せ、バンドギャップ差が大きく、自発分極係数およびピエゾ分極係数が大きい組合せが好ましく、それぞれの半導体層が、高熱伝導度、高移動度、高飽和速度および低欠陥密度の特性を有していることが好ましい。さらに、AlGa_nNとGa_nNとの組み合わせ等の、バンドギャップ差が大きく、格子定数差が小さく、かつ、自発分極係数およびピエゾ分極係数が大きい組合せは、特に好ましい。

10

20

【0022】

積層体を構成する半導体層は、第1方向（例えば、半導体装置の裏面側から表面側に向かう方向）に沿って狭バンドギャップ層と広バンドギャップ層が交互に配列されるように積層されている。狭バンドギャップ層は、第1方向もしくはその逆方向に隣接する層の材料よりもバンドギャップが狭い材料によって形成されている。広バンドギャップ層は、第1方向もしくはその逆方向に隣接する層の材料よりもバンドギャップが広い材料によって形成されている。なお、狭バンドギャップ層および広バンドギャップ層は、真正半導体層であることが好ましい。

【0023】

積層体は、少なくとも3層以上の半導体層を備えているため、広バンドギャップ層と狭バンドギャップ層が第1方向に積層されて接合する第1接合部と、狭バンドギャップ層と広バンドギャップ層が第1方向に積層されて接合する第2接合部を少なくとも1つずつ含んでいる。本明細書では、一組の第1接合部と第2接合部とを合わせてダブル接合構造と呼ぶ。ダブル接合構造は、第1方向に第1接合部、第2接合部がこの順序で配置されているものであってもよいし、逆に、第1方向に第2接合部、第1接合部がこの順序で配置されているものであってもよい。積層体が3層である場合を例示して具体的に説明すると、第1方向に狭バンドギャップ層、広バンドギャップ層、狭バンドギャップ層がこの順序で配置された積層体においては、第1方向に第2接合部、第1接合部がこの順序で配置されている。逆に、第1方向に広バンドギャップ層、狭バンドギャップ層、広バンドギャップ層がこの順序で配置された積層体においては、第1方向に第1接合部、第2接合部がこの順序で配置されている。

30

40

【0024】

積層体は、ダブル接合構造を1つまたは第1方向に複数積層された状態で備えている。積層体に含まれる狭バンドギャップ層と広バンドギャップ層がそれぞれ1つずつ追加される毎に、ダブル接合構造が1つ追加される。例えば、積層体が交互に積層された狭バンドギャップ層、広バンドギャップ層とを合計で5層有している場合には、ダブル接合構造は2つとなる。

【0025】

3種類以上のバンドギャップの相違する半導体層を積層する場合には、接合部ごとに狭バンドギャップ層と広バンドギャップ層の組み合わせが相違していてもよい。具体的に説明すると、例えば、Al_{1-x}Ga_xAs/GaAs/Al_{1-y}Ga_yAs（但し、x

50

y)がこの順序で積層されていてもよいし、 $^{29}\text{Si}/^{28}\text{Si}/^{30}\text{Si}$ がこの順序で積層されていてもよい。また、ダブル接合ごとに、第1接合部と第2接合部の狭バンドギャップ層と広バンドギャップ層の組み合わせが相違していてもよい。例えば、 $\text{Al}_{1-x}\text{Ga}_x\text{As}/\text{GaAs}/\text{Al}_{1-y}\text{Ga}_y\text{As}/\text{GaAs}/\text{Al}_{1-x}\text{Ga}_x\text{As}$ がこの順序で積層されていてもよいし、 $\text{Al}_{1-x}\text{Ga}_x\text{As}/\text{GaAs}/\text{Al}_{1-x}\text{Ga}_x\text{As}/\text{GaAs}/\text{Al}_{1-y}\text{Ga}_y\text{As}/\text{GaAs}/\text{Al}_{1-y}\text{Ga}_y\text{As}$ がこの順序で積層されていてもよい。なお、上記組成式においては、 $0 < x < 1$ 、 $0 < y < 1$ かつ $x \neq y$ である。

【0026】

積層体のダブル接合構造内には、負の固定電荷を有する第1領域と正の固定電荷を有する第2領域とが少なくとも1対含まれている。第1領域は、第1接合部で接合する広バンドギャップ層の第1方向の中央位置よりも第1接合部に近い側に含まれている。第2領域は、第2接合部で接合する広バンドギャップ層の第1方向の中央位置よりも第2接合部に近い側に含まれている。

【0027】

本明細書が開示する第1および第2の半導体装置は、第1接合部において広バンドギャップ層に負の固定電荷を有する第1領域が含まれていることによって、第1接合部で接合する狭バンドギャップ層に2DHG領域が形成される。また、第2接合部において広バンドギャップ層に正の固定電荷を有する第2領域が含まれていることによって、第2接合部で接合する狭バンドギャップ層に2DEG領域が形成される。2DHG領域および2DEG領域に電荷が蓄積されるため、キャパシタ等の蓄電型の半導体装置として利用できる。

【0028】

第1導電型の電極半導体層がp層であり、第2導電型の電極半導体層がn層である第1の半導体装置を例示して説明する。半導体装置に電位差が与えられていない無バイアス時には、2DHG領域はp層と電気的に接続する一方で、n層とは電気的に非接続となる。また、2DEG領域はn層と電気的に接続する一方で、p層とは電気的に非接続となる。その結果、2DHG領域および2DEG領域に電荷が蓄積される。半導体装置に逆バイアス電圧が印加された場合（逆バイアス時）には、p層と2DHG領域の間、およびn層と2DEG領域の間に空乏層が広がるため、これによって耐圧が維持される。積層体を構成する各層のバンドギャップや厚さを調整することによって、所望の耐圧を保持することができる。広バンドギャップ層の材料がAlGaNであり、狭バンドギャップ層の材料がGaAsである場合を例示して、さらに具体的に説明する。広バンドギャップ層と狭バンドギャップ層との界面の電荷濃度（分極電荷およびドープによる電荷の合計）が $1.0 \times 10^{13} \text{ cm}^{-2}$ であるとき、電荷の広バンドギャップ層の厚さDおよび狭バンドギャップの厚さdについて、Dおよびdがいずれも100nm以上であれば、1V程度の耐圧を得ることができる。また、上記の界面の電荷濃度と同程度の濃度の電荷を半導体装置に蓄積することができる。本明細書が開示する第1および第2の半導体装置によれば、2DHG領域および2DEG領域によって電荷を蓄積するため、従来にない小型の半導体装置を実現することができる。

【0029】

第1の半導体装置においては、第1接合部または第2接合部に負の固定電荷によって誘起されたキャリア（ホール）の濃度（2DHG領域のキャリア濃度）と、正の固定電荷によって誘起されたキャリア（電子）の濃度（2DEG領域のキャリア濃度）との濃度差は、第1導電型の電極半導体層と第2導電型の電極半導体層との間に電圧が印加された場合に、ホールと電子のいずれか一方のみが残存しない濃度差であることが好ましい。第2の半導体装置においても、第1接合部または第2接合部に負の固定電荷によって誘起されたホールの濃度と、正の固定電荷によって誘起された電子の濃度との濃度差は、ショットキー電極層と電極半導体層との間に電圧が印加された場合に、ホールと電子のいずれか一方のみが残存しない濃度差であることが好ましい。

【0030】

10

20

30

40

50

2DHG領域と2DEG領域のキャリア濃度差が所定の濃度差(例えば20%)を超えていると、第1導電型の電極半導体層と第2導電型の電極半導体層に逆バイアス電圧(2DHG領域のキャリア濃度と2DEG領域のキャリア濃度が低下する極性の電圧)を印加し、2DHG領域のキャリア濃度と2DEG領域のキャリア濃度を低減させた際に、低濃度側が先に消滅し、2DHG領域と2DEG領域のいずれか一方のみが残存する。この場合、残存した方のキャリア層の端部に電界が集中するため、耐圧が低下する。このため、負の固定電荷によって誘起されるキャリア層(2DHG領域)と、正の固定電荷によって誘起されるキャリア層(2DEG領域)のキャリア濃度差は、「第1導電型の電極半導体層と第2導電型の電極半導体層との間に電圧が印加された場合に、ホールと電子のいずれか一方のみが残存しない濃度差」である20%以下であることが好ましい。なお、「第1導電型の電極半導体層と第2導電型の電極半導体層との間に電圧が印加された場合に、ホールと電子のいずれか一方のみが残存しない濃度差」の具体的な数値範囲は、上記した20%以下に限定されない。この数値範囲の上限値は、半導体装置に用いられている半導体材料の特性(誘電率等)、半導体装置の構造(第1導電型の電極半導体層と第2導電型の電極半導体層の距離等)等によって変化し、例えば、5%以下、または50%以下となる場合もある。

10

20

30

40

50

【0031】

なお、2DHG領域と2DEG領域のいずれか一方のみが残存しない場合には、以下の2つの場合がある。1つ目の場合は、2DHG領域と2DEG領域とが共存する場合である。この場合は、電極面積が大きくなるため、キャパシタとして小型化に有効である。2つ目の場合は、2DHG領域と2DEG領域とが共に消滅する場合である。この場合は、固定電荷のみが残存し、固定電荷間の電界によって電圧の一部が保持されるため、高耐圧半導体装置として小型化に有効である。

【0032】

本明細書が開示する第1および第2の半導体装置では、正または負の固定電荷は、分極電荷であってもよいし、ドーピングされた電荷であってもよい。半導体装置は、固定電荷として、分極電荷とドーピングされた電荷の少なくともいずれか一方を含んでいればよく、双方を含んでいてもよい。双方を含んでいる場合には、正または負の固定電荷は、分極電荷とドーピングされた電荷との和となる。分極電荷は、自発分極とピエゾ分極による分極電荷に分類される。例えば、AlGaInとGaNの組み合わせを用いる場合には、分極電荷を本明細書に係る正または負の固定電荷として利用できる。また、例えば、AlGaAsとGaAs、SiとGe、 ^{13}C と ^{12}C 、 ^{28}Si と ^{29}Si と ^{30}Si の組み合わせを用いる場合には、分極電荷を利用できないので、本明細書に係る正または負の固定電荷をドーピングする必要がある。なお、分極電荷を利用できる材料であっても、さらに電荷をドーピングして、正または負の固定電荷として利用してもよい。

【0033】

正または負の固定電荷を積層体の半導体層にドーピングする場合、ドーピングされた電荷は、積層体の半導体層の平面方向(第1方向を法線ベクトルとする平面方向)に均質であり、深さ方向(第1方向)に数~数十個の原子の厚さ(10nm程度以下)となるように分布していることが好ましい。ここで、「平面方向に均質」に分布するとは、原子が平面方向に一様に分布している状態(いわゆるドーピングの状態)に限られず、数個の原子が例えばドット状または線状の集合体を形成しており、この原子の集合体が平面方向にほぼ等間隔で均質に分布している状態も含む。

【0034】

積層体は、第1領域および第2領域よりも固定電荷の濃度が低い第3領域をさらに含んでいてもよい。第3領域は、1つのダブル接合構造内の第1領域と第2領域の間に設けられていてもよい。また、積層体がダブル接合構造を2つ以上有する場合には、第3領域は、隣接する2つのダブル接合構造のうち一方の第1領域と他方の第2領域の間に設けられていてもよい。

【0035】

第3領域の固定電荷は、負の固定電荷と正の固定電荷のいずれか一方のみであってもよいし、双方であってもよい。第3領域が負の固定電荷と正の固定電荷との双方を有する場合には、第3領域の負の固定電荷を有する領域は、正の固定電荷を有する領域よりも第2領域に近い側に位置していることが好ましい。言い換えると、正の固定電荷を有する領域は、負の固定電荷を有する領域よりも第1領域に近い側に位置していることが好ましい。

【0036】

第3領域は、狭バンドギャップ層に設けてもよいし、広バンドギャップ層に設けてもよい。半導体装置の耐圧を向上するためには、第3領域は、1つのダブル接合構造の各層のうち、最も耐圧が低い層に設けられていることが好ましい。

【0037】

本明細書が開示する第1の半導体装置の第1導電型の電極半導体層および第2導電型の電極半導体層は、多層積層構造であってもよいし、単一層であってもよい。単一層である場合には、積層体を構成する広バンドギャップ層と同じ材料を用いるよりも、狭バンドギャップ層と同じ材料を用いて電極半導体層を形成することが好ましく、積層体の最もバンドギャップが狭い層と同じ材料によって単一の半導体層として形成されていることが特に好ましい。第1導電型の電極半導体層および第2導電型の電極半導体層は、本明細書に係る積層体を構成する各半導体層と別の半導体層であり、これらを互いに接合したものであってもよい。また、第1導電型の電極半導体層および第2導電型の電極半導体層が多層積層構造である場合には、本明細書に係る積層体に第1導電型の不純物および第2導電型の不純物を注入することによって、第1導電型の電極半導体層および第2導電型の電極半導体層を形成してもよい。

【0038】

半導体装置の第1導電型の電極半導体層および第2導電型の電極半導体層は、その表面等において、金属電極等と接合されており、金属電極を介して電圧が印加されるものであってもよい。

【0039】

本明細書が開示する第2の半導体装置の電極半導体層は、対になるショットキー電極層の材料に応じて、第1導電型の電極半導体層としてもよいし、第2導電型の電極半導体層としてもよい。第2の半導体装置の電極半導体層は、第1の半導体装置の第1導電型の電極半導体層または第2導電型の電極半導体層と同様の形態をとることができる。

【0040】

ショットキー電極層は、多層積層構造であってもよいし、単一層であってもよい。積層体の材料としてAlGaInとGaNの組み合わせ、またはAlGaAsとGaAsの組み合わせが用いられている場合には、ショットキー電極層としては、Al, Pt, Au, Ni, Pdの金属層またはこれらを積層した多層の金属層を好適に用いることができる。AlGaInとGaNの組み合わせ、またはAlGaAsとGaAsの組み合わせは、バンドギャップの幅が広いので、上記の金属材料は、ホールに対しても電子に対しても、ショットキー接合を形成する。

【0041】

第1および第2の半導体装置においては、積層体における正または負の固定電荷による高耐圧化の効果のみならず、積層体を構成する真正半導体層中のキャリア層(2DHG領域と2DEG領域)の存在による低損失化の効果を得ることもできる。これによって、半導体装置の高耐圧化と低損失化を両立することができ、半導体装置の小型化に寄与することができる。

【実施例1】

【0042】

図1に示すように、半導体装置10は、積層体100と、p型の電極半導体層110と、n型の電極半導体層120と、p型の電極半導体層110の表面に接合する第1電極191と、n型の電極半導体層120の表面に接合する第2電極192とを備えている。積層体100は、GaNを材料とする真正半導体層である狭バンドギャップ層101、10

10

20

30

40

50

3, 105と、AlGaInを材料とする真正半導体層である広バンドギャップ層102, 104とを備えている。狭バンドギャップ層101, 103, 105と広バンドギャップ層102, 104は、第1方向(図1に示すYの正方向)に狭バンドギャップ層105, 広バンドギャップ層104, 狭バンドギャップ層103, 広バンドギャップ層102, 狭バンドギャップ層101の順序で積層されている。広バンドギャップ層102, 104は、それぞれ第1方向に隣接する狭バンドギャップ層101, 103の材料よりもバンドギャップが広い材料によって形成されている。狭バンドギャップ層103, 105は、第1方向に隣接する広バンドギャップ層102, 104の材料よりもバンドギャップが狭い材料によって形成されている。狭バンドギャップ層101は、第1方向の逆方向に隣接する広バンドギャップ層102の材料よりもバンドギャップが狭い材料によって形成されている。

10

【0043】

狭バンドギャップ層101と広バンドギャップ層102は、第1接合部151において接合している。広バンドギャップ層102と狭バンドギャップ層103は、第2接合部152において接合している。狭バンドギャップ層103と広バンドギャップ層104は、第1接合部153において接合している。広バンドギャップ層104と狭バンドギャップ層105は、第2接合部154において接合している。積層体100は、第1接合部151と第2接合部152とを含むダブル接合構造と、第1接合部153と第2接合部154とを含むダブル接合構造とを有している。積層体100は、第1方向に第2接合部、第1接合部の順序で配列されたダブル接合構造を2つ有している。

20

【0044】

電極半導体層110は、積層体100から第2方向(図1に示す、Xの負方向)に伸びている。電極半導体層120は、積層体100から第3方向(図1に示す、Xの正方向)に伸びている。第2方向および第3方向は、第1方向と直交している。電極半導体層110と電極半導体層120は、積層体100に対してX方向の両端に位置しており、対向している。

【0045】

p型の電極半導体層110は、GaInを材料とするp型の半導体層であるp層111, 113, 115と、AlGaInを材料とするp型の半導体層であるp層112, 114とを備えている。n型の電極半導体層120は、GaInを材料とするn型の半導体層であるn層121, 123, 125と、AlGaInを材料とするn型の半導体層であるp層122, 124とを備えている。p層111と狭バンドギャップ層101とn層121とは、一連のGaIn材料層によって形成されている。p層112と広バンドギャップ層102とn層122とは、一連のAlGaIn材料層によって形成されている。p層113と狭バンドギャップ層103とn層123とは、一連のGaIn材料層によって形成されている。p層114と広バンドギャップ層104とn層124とは、一連のAlGaIn材料層によって形成されている。p層115と狭バンドギャップ層105とn層125とは、一連のGaIn材料層によって形成されている。p層111~115およびn層121~125は、真正半導体層である広バンドギャップ層102, 104または狭バンドギャップ層101, 103, 105を積層した後で、その両端部にp型またはn型の不純物を注入することによって形成することができる。

30

40

【0046】

広バンドギャップ層102は、負の固定電荷を有する第1領域131と正の固定電荷を有する第2領域132を含んでいる。本実施例に係るGaIn材料とAlGaIn材料を組み合わせただけの場合には、分極によって、第1領域131と第2領域132が形成される。第1領域131は、広バンドギャップ層102の第1方向の中央位置よりも第1接合部151に近い側に含まれている。第2領域132は、広バンドギャップ層102の第1方向の中央位置よりも第2接合部152に近い側に含まれている。より具体的には、第1領域131は、第1接合部151に近接する位置に含まれており、第2領域132は、第2接合部152に近接する位置に含まれている。同様に、広バンドギャップ層104は、負の固定

50

電荷を有する第1領域133と正の固定電荷を有する第2領域134を含んでいる。第1領域133は、広バンドギャップ層104の第1方向の中央位置よりも第1接合部153に近い側に含まれている。第2領域134は、広バンドギャップ層104の第1方向の中央位置よりも第2接合部154に近い側に含まれている。より具体的には、第1領域133は、第1接合部153に近接する位置に含まれており、第2領域134は、第2接合部154に近接する位置に含まれている。

【0047】

半導体装置10の電極半導体層110と電極半導体層120との間に電圧を印加しない場合（無バイアス時）には、第1接合部151, 153で接合する狭バンドギャップ層101, 103に、それぞれ2DHG領域141, 143が形成される。また、第2接合部152, 154で接合する狭バンドギャップ層103, 105に2DEG領域142, 144が形成される。2DHG領域141, 143はそれぞれp層111, 113と電氣的に接続する一方で、n層121, 123とは電氣的に非接続となる。また、2DEG領域142, 144はそれぞれn層123, 125と電氣的に接続する一方で、p層113, 115とは電氣的に非接続となる。その結果、2DHG領域141, 143および2DEG領域142, 144に電荷が蓄積される。図1に示すように、第1電極191を低電位側、第2電極192を高電位側として電極半導体層110と電極半導体層120との間に電位差を与える場合（逆バイアス時）には、電極半導体層110と2DHG領域141, 143の間、および電極半導体層120と2DEG領域142, 144の間に空乏層が広がるため、これによって耐圧が維持される。なお、2DHG領域141, 143と2DEG領域142, 144のキャリア濃度差は、電極半導体層110と電極半導体層120との間に電圧が印加された場合に、ホールと電子のいずれか一方のみが残存しない濃度差となっている。積層体100を構成する各層のバンドギャップや厚さを調整することによって、所望の耐圧を保持することができる。半導体装置10によれば、2DHG領域141, 143および2DEG領域142, 144によって電荷を蓄積するため、従来にない小型の半導体装置を実現することができる。

【実施例2】

【0048】

本明細書が開示するキャパシタ等の半導体装置では、正または負の固定電荷は、ドープした電荷であってもよい。例えば、図2に示すように、 $Al_{1-x}Ga_xAs$ ($0 < x < 1$)とGaAsの組み合わせを用いる場合には、分極電荷を利用することができないので、正または負の固定電荷をドープすることによって、広バンドギャップ層に第1領域および第2領域を形成する。

【0049】

図2に示す半導体装置20は、半導体装置10においてGaIn材料が用いられていた層がGaAsに置き換えられており、 $AlGaIn$ 層が用いられていた層が $Al_{1-x}Ga_xAs$ に置き換えられている。積層体200は、狭バンドギャップ層201, 203, 205と広バンドギャップ層202, 204を備えている。p型の電極半導体層210は、p層211~215を備えている。n型の電極220は、n層221~225を備えている。

【0050】

広バンドギャップ層202は、負の固定電荷を有する第1領域231と正の固定電荷を有する第2領域232を有している。第1領域231および第2領域232は、広バンドギャップ層202に負の固定電荷および正の固定電荷をドープすることによって形成されている。広バンドギャップ層204は、負の固定電荷を有する第1領域233と正の固定電荷を有する第2領域234を有している。第1領域233および第2領域234は、広バンドギャップ層204に負の固定電荷および正の固定電荷をドープすることによって形成されている。半導体装置20のその他の具体的な形態については、半導体装置10と同様であるから、半導体装置10における100番台の参照番号を半導体装置20における200番台の参照番号に読み替えることによって、説明を省略する。

10

20

30

40

50

【 0 0 5 1 】

実施例 2 に示すように、分極電荷を利用することができない広バンドギャップ層（202, 204）と狭バンドギャップ層（201, 203, 205）の組み合わせを有するダブル接合構造のみを有する積層体であっても、固定電荷をドープして第 1 領域（231, 233）および第 2 領域（232, 234）を形成することができる。これによって、半導体装置 20 には 2DHG 領域 241, 243 および 2DEG 領域 242, 244 が形成され、電荷を蓄積することができる。無バイアス時および逆バイアス時の作用効果については、半導体装置 10 と同様であるため、説明を省略する。

【 実施例 3 】

【 0 0 5 2 】

図 3 に示す半導体装置 11 では、狭バンドギャップ層 103 は、負の固定電荷を有する第 3 領域 135 を有している。第 3 領域 135 は、狭バンドギャップ層 103 に負の固定電荷をドープすることによって形成されている。第 3 領域 135 の負の固定電荷の濃度は、第 1 領域 131, 133 の負の固定電荷の濃度および第 2 領域 132, 134 の正の固定電荷の濃度よりも低い。第 3 領域 135 は、第 1 接合部 151 と第 2 接合部 152 とを有するダブル接合構造の第 2 領域 132 と、第 1 接合部 153 と第 2 接合部 154 とを有するダブル接合構造の第 1 領域 133 との間に設けられている。半導体装置 11 のその他の具体的な形態については、半導体装置 10 と同様であるから、半導体装置 10 における 100 番台の参照番号を半導体装置 11 において転用することによって、説明を省略する。

【 0 0 5 3 】

なお、ドープによって固定電荷を形成する場合は、固定電荷の形成位置の自由度が高いため、第 1 接合部または第 2 接合部の高バンドギャップ層側の近傍だけではなく、狭バンドギャップ層側の近傍に第 1 領域、第 2 領域を形成することが可能である。この狭バンドギャップ層側に形成したヘテロ接合の近傍の固定電荷によっても、2DHG 領域および 2DEG 領域を形成することが可能である。

【 0 0 5 4 】

半導体装置 11 には負の固定電荷を有する第 3 領域 135 が設けられているため、逆バイアス時に狭バンドギャップ層 103 のバンドが持ち上げられる。その結果、2DHG 領域 143 と 2DEG 領域 142 との間の電子のトンネル電流が減少し、2DHG 領域 143 と 2DEG 領域 142 との間の耐圧が向上する。その他の無バイアス時および逆バイアス時の作用効果については、半導体装置 10 と同様であるため、説明を省略する。

【 実施例 4 】

【 0 0 5 5 】

負の固定電荷を有する第 3 領域と正の固定電荷を有する第 3 領域の双方が積層体に構成されていてもよい。図 4 に示す半導体装置 12 では、狭バンドギャップ層 103 は、負の固定電荷を有する第 3 領域 137 と正の固定電荷を有する第 3 領域 138 を有している。第 3 領域 137, 138 は、狭バンドギャップ層 103 に負および正の固定電荷をドープすることによって形成されている。第 3 領域 137 の負の固定電荷の濃度および第 3 領域 138 の正の固定電荷の濃度は、第 1 領域 131, 133 の負の固定電荷の濃度および第 2 領域 132, 134 の正の固定電荷の濃度よりも低い。第 3 領域 137, 138 は、第 1 接合部 151 と第 2 接合部 152 とを有するダブル接合構造の第 2 領域 132 と、第 1 接合部 153 と第 2 接合部 154 とを有するダブル接合構造の第 1 領域 133 との間に設けられている。半導体装置 12 のその他の具体的な形態については、半導体装置 10 と同様であるから、半導体装置 10 における 100 番台の参照番号を半導体装置 12 において転用することによって、説明を省略する。

【 0 0 5 6 】

半導体装置 12 には第 3 領域 137, 138 が設けられているため、半導体装置 11 と同様に、逆バイアス時に狭バンドギャップ層 103 のバンドが持ち上げられる。その結果、2DHG 領域 143 と 2DEG 領域 142 との間において、電子のトンネル電流および

10

20

30

40

50

正孔のトンネル電流が減少する。その結果、2DHG領域143と2DEG領域142との間の耐圧が実施例3の場合よりもさらに向上する。その他の無バイアス時および逆バイアス時の作用効果については、半導体装置10と同様であるため、説明を省略する。

【実施例5】

【0057】

図5に示すように、半導体装置30は、積層体300と、p型の電極半導体層310と、n型の電極半導体層320と、p型の電極半導体層310の表面に接合する第1電極391と、n型の電極半導体層320の表面に接合する第2電極392とを備えている。積層体300は、 $Al_{1-x}Ga_xAs$ ($0 < x < 1$)を材料とする真正半導体層である広バンドギャップ層301, 303, 305と、GaAsを材料とする真正半導体層である狭バンドギャップ層302, 304とを備えている。広バンドギャップ層301, 303, 305と狭バンドギャップ層302, 304は、第1方向(図5に示すYの正方向)に広バンドギャップ層305, 狭バンドギャップ層304, 広バンドギャップ層303, 狭バンドギャップ層302, 広バンドギャップ層301の順序で積層されている。狭バンドギャップ層302, 304は、それぞれ第1方向に隣接する広バンドギャップ層301, 303の材料よりもバンドギャップが狭い材料によって形成されている。広バンドギャップ層303, 305は、第1方向に隣接する狭バンドギャップ層302, 304の材料よりもバンドギャップが広い材料によって形成されている。広バンドギャップ層301は、第1方向の逆方向に隣接する狭バンドギャップ層302の材料よりもバンドギャップが広い材料によって形成されている。

10

20

【0058】

広バンドギャップ層301と狭バンドギャップ層302は、第2接合部352において接合している。狭バンドギャップ層302と広バンドギャップ層303は、第1接合部351において接合している。広バンドギャップ層303と狭バンドギャップ層304は、第2接合部354において接合している。狭バンドギャップ層304と広バンドギャップ層305は、第1接合部353において接合している。積層体300は、第1接合部351と第2接合部352とを含むダブル接合構造と、第1接合部353と第2接合部354とを含むダブル接合構造とを有している。積層体300は、第1方向に第1接合部、第2接合部の順序で配列されたダブル接合構造を2つ有している。

30

【0059】

電極半導体層310は、積層体300から第2方向(図5に示す、Xの負方向)に伸びている。電極半導体層320は、積層体300から第3方向(図5に示す、Xの正方向)に伸びている。第2方向および第3方向は、第1方向と直交している。電極半導体層310と電極半導体層320は、積層体300に対してX方向の両端に位置しており、対向している。

40

【0060】

p型の電極半導体層310は、 $Al_{1-x}Ga_xAs$ を材料とするp型の半導体層であるp層311, 313, 315と、GaAsを材料とするp型の半導体層であるp層312, 314とを備えている。n型の電極半導体層320は、 $Al_{1-x}Ga_xAs$ を材料とするn型の半導体層であるn層321, 323, 325と、GaAsを材料とするn型の半導体層であるn層322, 324とを備えている。p層311と広バンドギャップ層301とn層321とは、一連の $Al_{1-x}Ga_xAs$ 材料層によって形成されている。p層312と狭バンドギャップ層302とn層322とは、一連のGaAs材料層によって形成されている。p層313と広バンドギャップ層303とn層323とは、一連の $Al_{1-x}Ga_xAs$ 材料層によって形成されている。p層314と狭バンドギャップ層304とn層324とは、一連のGaAs材料層によって形成されている。p層315と広バンドギャップ層305とn層325とは、一連の $Al_{1-x}Ga_xAs$ 材料層によって形成されている。p層311~315およびn層321~325は、真正半導体層である狭バンドギャップ層302, 304または広バンドギャップ層301, 303, 305を積層した後で、その両端部にp型またはn型の不純物を注入することによって形成するこ

40

50

とができる。

【0061】

広バンドギャップ層301は、正の固定電荷を有する第2領域332を含んでいる。広バンドギャップ層303は、負の固定電荷を有する第1領域331と正の固定電荷を有する第2領域334を含んでいる。広バンドギャップ層305は、負の固定電荷を有する第1領域333を含んでいる。第1領域331, 333および第2領域332, 334は、広バンドギャップ層301, 303, 305に適宜負の固定電荷または正の固定電荷をドーピングすることによって形成されている。第1領域331は、広バンドギャップ層303の第1方向の中央位置よりも第1接合部351に近い側に含まれている。第2領域332は、広バンドギャップ層301の第1方向の中央位置よりも第2接合部352に近い側に含まれている。より具体的には、第1領域331は、第1接合部351に近接する位置に含まれており、第2領域332は、第2接合部352に近接する位置に含まれている。第1領域333は、広バンドギャップ層305の第1方向の中央位置よりも第1接合部353に近い側に含まれている。第2領域334は、広バンドギャップ層303の第1方向の中央位置よりも第2接合部354に近い側に含まれている。より具体的には、第1領域333は、第1接合部353に近接する位置に含まれており、第2領域334は、第2接合部354に近接する位置に含まれている。

10

【0062】

狭バンドギャップ層302は、負の固定電荷を有する第3領域335と正の固定電荷を有する第3領域336を有している。狭バンドギャップ層304は、負の固定電荷を有する第3領域337と正の固定電荷を有する第3領域338を有している。第3領域335, 336, 337, 338は、狭バンドギャップ層302, 304にそれぞれ負および正の固定電荷をドーピングすることによって形成されている。第3領域335, 337の負の固定電荷の濃度および第3領域336, 338の正の固定電荷の濃度は、第1領域331, 333の負の固定電荷の濃度および第2領域332, 334の正の固定電荷の濃度よりも低い。第3領域335, 336は、第1接合部351と第2接合部352とを有するダブル接合構造に含まれる第1領域331と第2領域332との間に設けられている。第3領域337, 338は、第1接合部353と第2接合部354とを有するダブル接合構造に含まれる第1領域333と第2領域334との間に設けられている。

20

【0063】

半導体装置30の無バイアス時には、第1接合部351および第2接合部352で接合する狭バンドギャップ層302に、2DHG領域341および2DEG領域342が形成される。また、第1接合部353および第2接合部354で接合する狭バンドギャップ層304に2DHG領域343および2DEG領域344が形成される。2DHG領域341, 343はそれぞれp層311, 313と電氣的に接続する一方で、n層321, 323とは電氣的に非接続となる。また、2DEG領域342, 344はそれぞれn層323, 325と電氣的に接続する一方で、p層313, 315とは電氣的に非接続となる。その結果、2DHG領域341, 343および2DEG領域342, 344に電荷が蓄積される。図5に示すように、逆バイアス時には、電極半導体層310と2DHG領域341, 343の間、および電極半導体層320と2DEG領域342, 344の間に空乏層が広がるため、これによって耐圧が維持される。積層体300を構成する各層のバンドギャップや厚さを調整することによって、所望の耐圧を保持することができる。半導体装置30によれば、2DHG領域341, 343および2DEG領域342, 344によって電荷を蓄積するため、従来にない小型の半導体装置を実現することができる。

30

40

【0064】

さらに、半導体装置30には第3領域335~338が設けられているため、半導体装置11, 12と同様に、逆バイアス時に狭バンドギャップ層302, 304のバンドが持ち上げられる。その結果、2DHG領域341と2DEG領域342の間および2DHG領域343と2DEG領域344との間において、電子のトンネル電流および正孔のトンネル電流が減少する。その結果、この間の耐圧が向上する。

50

【実施例 6】

【0065】

図 6 に示す半導体装置 31 では、広バンドギャップ層 303 は、負の固定電荷を有する第 3 領域 339 と正の固定電荷を有する第 3 領域 340 を有している。第 3 領域 339, 340 は、狭バンドギャップ層 103 に負および正の固定電荷をドーピングすることによって形成されている。第 3 領域 339 の負の固定電荷の濃度および第 3 領域 340 の正の固定電荷の濃度は、第 1 領域 331, 333 の負の固定電荷の濃度および第 2 領域 332, 334 の正の固定電荷の濃度よりも低い。第 3 領域 339, 340 は、第 1 接合部 351 と第 2 接合部 352 とを有するダブル接合構造の第 1 領域 351 と、第 1 接合部 353 と第 2 接合部 354 とを有するダブル接合構造の第 2 領域 334 との間に設けられている。半導体装置 31 のその他の具体的な形態については、半導体装置 30 と同様であるから、半導体装置 10 における 100 番台の参照番号を半導体装置 31 において転用することによって、説明を省略する。

10

【0066】

半導体装置 31 には第 3 領域 339, 340 が設けられているため、半導体装置 11, 12, 30 と同様に、逆バイアス時に広バンドギャップ層 303 のバンドが持ち上げられる。その結果、2DHG 領域 341 と 2DEG 領域 344 との間において、電子のトンネル電流および正孔のトンネル電流が減少し、この間の耐圧が向上する。その他の無バイアス時および逆バイアス時の作用効果については、半導体装置 30 と同様であるため、説明を省略する。

20

【0067】

実施例 5 および実施例 6 に示したように、第 3 領域は、広バンドギャップ層に設けてもよく、狭バンドギャップ層に設けてもよい。また、広バンドギャップ層と狭バンドギャップ層の双方に設けられていてもよい。半導体装置の耐圧を向上するためには、第 3 領域は、1 つのダブル接合構造の各層のうち、最も耐圧が低い層に設けられていることが好ましい。

【実施例 7】

【0068】

半導体装置の p 型の電極半導体層と n 型の電極半導体層は、上記において説明したように p 層または n 層が多層に積層されたものであってもよいし、本実施例のように、それぞれが単一の p 層または n 層であってもよい。

30

【0069】

図 7 に示す半導体装置 40 は、積層体 400 と、p 型の電極半導体層 410 と、n 型の電極半導体層 420 と、p 型の電極半導体層 410 の表面に接合する第 1 電極 491 と、n 型の電極半導体層 420 の表面に接合する第 2 電極 492 とを備えている。電極半導体層 410 は、GaAs を材料とする p 型の単一の半導体層によって形成されている。電極半導体層 420 は、GaAs を材料とする n 型の単一の半導体層によって形成されている。半導体装置 40 のその他の具体的な形態については、半導体装置 20 と同様であるから、半導体装置 20 における 200 番台の参照番号を半導体装置 40 における 400 番台の参照番号に読み替えることによって、説明を省略する。

40

【0070】

半導体装置 40 では、電極半導体層 410, 420 が単一の半導体層によって形成されているため、電極半導体層 410, 420 において Y 方向に平行に流れる電流の抵抗を低くすることができる。

【0071】

(変形例)

上記の実施例 1 ~ 7 に係る半導体装置の p 型の電極半導体層と n 型の電極半導体層は、ショットキー電極層によって置き換えられていてもよい。ショットキー電極層としては、例えば、Al, Pt, Au, Ni, Pd の金属層またはこれらを積層した多層の金属層を好適に用いることができる。

50

【 0 0 7 2 】

以上、本発明の実施例について詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

【 0 0 7 3 】

本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【 符号の説明 】

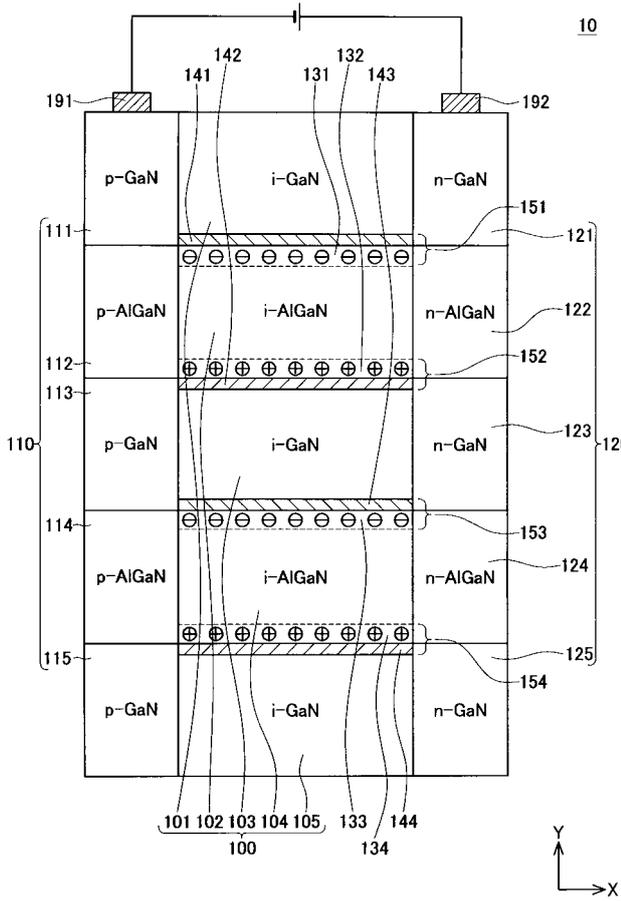
10

【 0 0 7 4 】

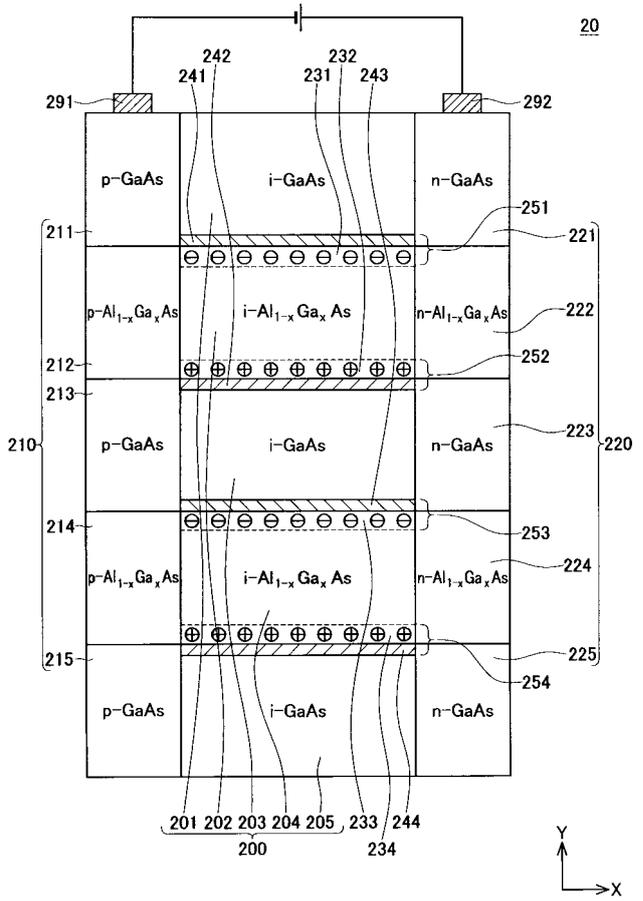
1 0 , 1 1 , 1 2 , 3 0 , 3 1 , 4 0 半 導 体 装 置
 1 0 0 , 2 0 0 , 3 0 0 , 4 0 0 積 層 体
 1 0 1 , 1 0 3 , 1 0 5 , 2 0 1 , 2 0 3 , 2 0 5 , 3 0 2 , 3 0 4 , 4 0 1 , 4 0 3 ,
 4 0 5 狭 バンドギャップ層
 1 0 2 , 1 0 4 , 2 0 2 , 2 0 4 , 3 0 1 , 3 0 3 , 3 0 5 , 4 0 2 , 4 0 4 広 バン
 ドギャップ層
 1 1 0 , 2 1 0 , 3 1 0 , 4 1 0 p 型 の 電 極 半 導 体 層
 1 1 1 ~ 1 1 5 , 2 1 1 ~ 2 1 5 , 3 1 1 ~ 3 1 5 p 層
 1 3 1 , 1 3 3 , 2 3 1 , 2 3 3 , 3 3 1 , 3 3 3 , 4 3 1 , 4 3 3 第 1 領 域
 1 3 2 , 1 3 4 , 2 3 2 , 2 3 4 , 3 3 2 , 3 3 4 , 4 3 2 , 4 3 4 第 2 領 域
 1 3 5 , 1 3 7 , 1 3 8 , 3 3 5 , 3 3 6 , 3 3 7 , 3 3 8 , 3 3 9 , 3 4 0 第 3 領
 域
 1 4 1 , 1 4 3 , 2 4 1 , 2 4 3 , 3 4 1 , 3 4 3 , 4 4 1 , 4 4 3 2 D H G 領 域
 1 4 2 , 1 4 4 , 2 4 2 , 2 4 4 , 3 4 2 , 3 4 4 , 4 4 2 , 4 4 4 2 D E G 領 域
 1 5 1 , 1 5 3 , 2 5 1 , 2 5 3 , 3 5 1 , 3 5 3 , 4 5 1 , 4 5 3 第 1 接 合 部
 1 5 2 , 1 5 4 , 2 5 2 , 2 5 4 , 3 5 2 , 3 5 4 , 4 5 2 , 4 5 4 第 2 接 合 部
 1 9 1 , 2 9 1 , 3 9 1 , 4 9 1 第 1 電 極
 1 9 2 , 2 9 2 , 3 9 2 , 4 9 2 第 2 電 極

20

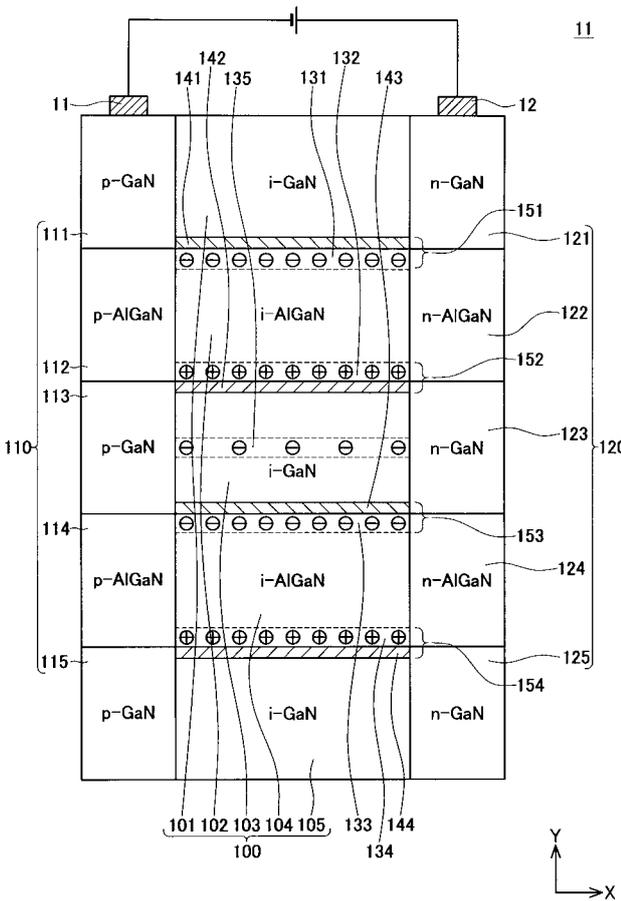
【 図 1 】



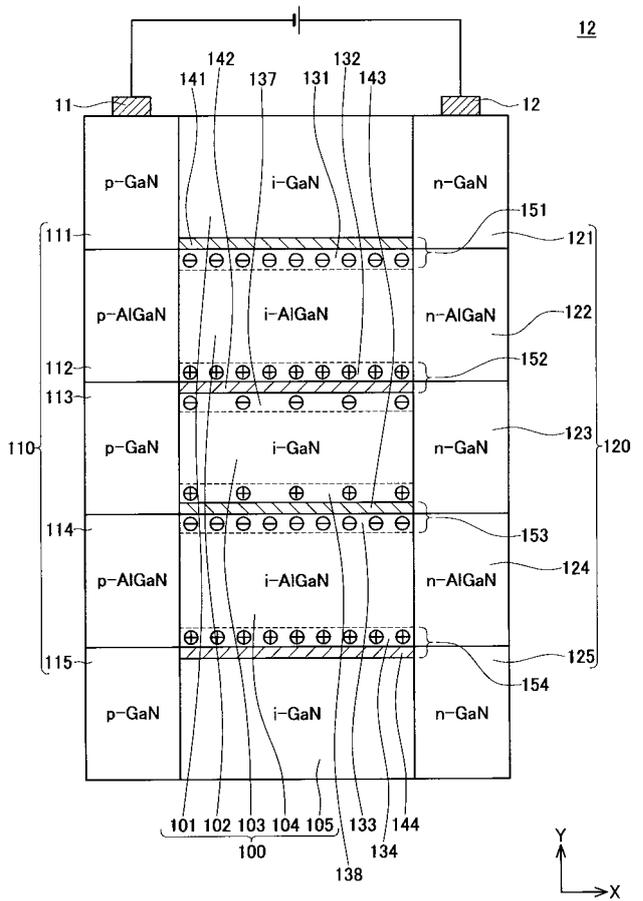
【 図 2 】



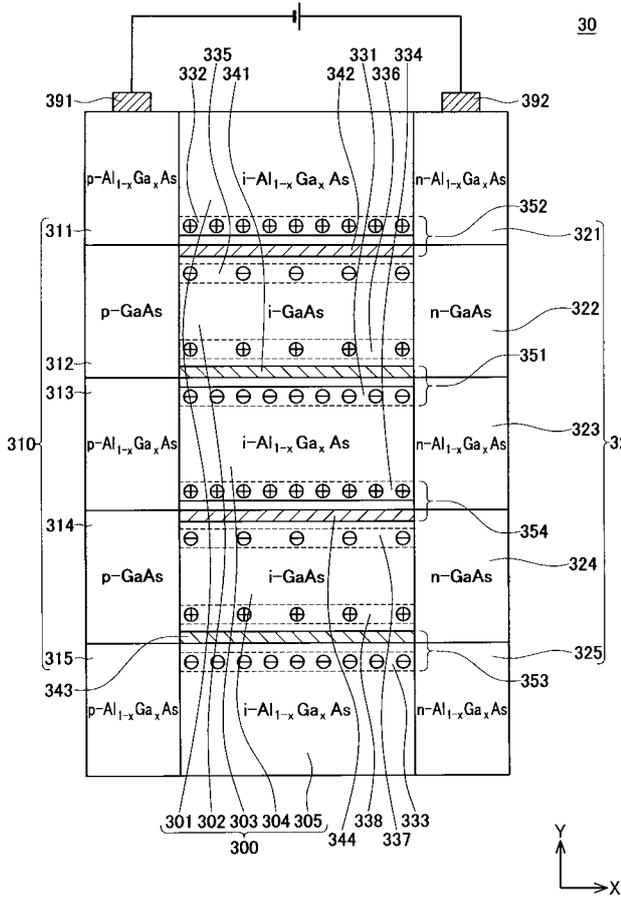
【 図 3 】



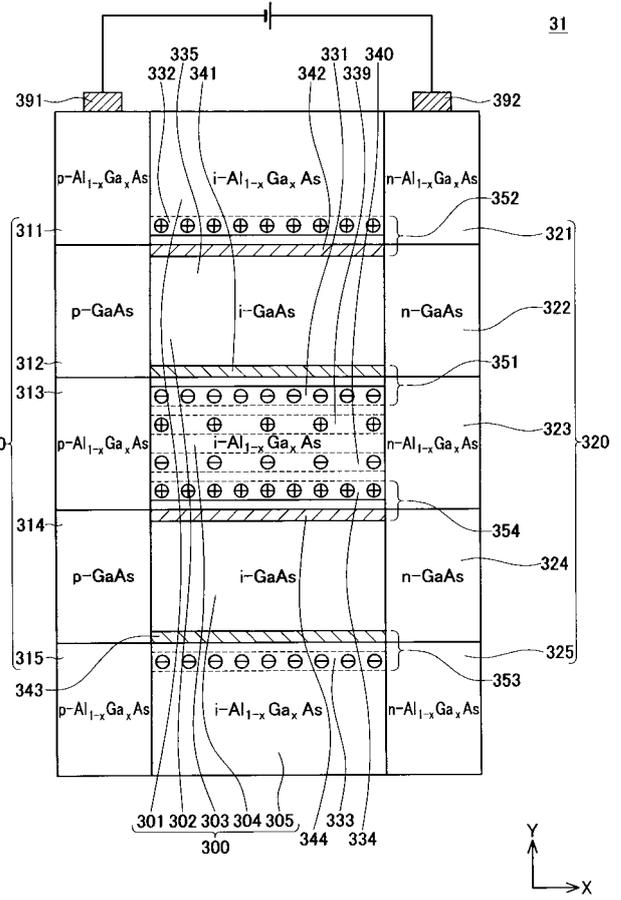
【 図 4 】



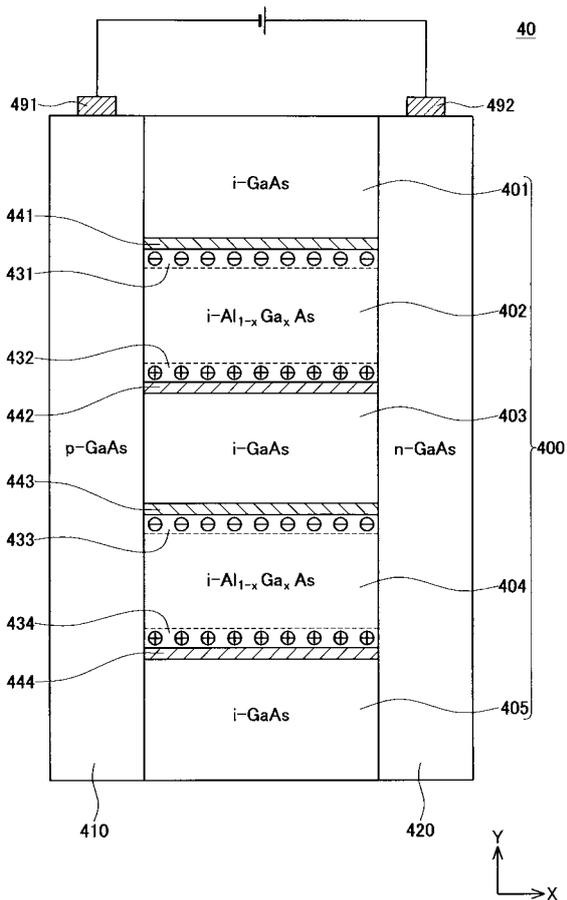
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/47 (2006.01)

H 0 1 L 29/872 (2006.01)

1 GG19

HH20

5F038 AC03 AC07 AC12 BE07 CA16 EZ02 EZ14 EZ20

5F083 AD60 GA09 GA11 GA27 JA36 JA38 JA39 JA60