

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-27001
(P2014-27001A)

(43) 公開日 平成26年2月6日(2014.2.6)

(51) Int.Cl. F I テーマコード (参考)
H O 1 L 31/06 (2012.01) H O 1 L 31/04 L 5 F 1 5 1

審査請求 未請求 請求項の数 17 O L (全 24 頁)

(21) 出願番号 特願2012-163613 (P2012-163613)
(22) 出願日 平成24年7月24日 (2012.7.24)

(71) 出願人 592032636
学校法人トヨタ学園
愛知県名古屋市天白区久方2丁目12番地
1
(74) 代理人 100126468
弁理士 田久保 泰夫
(74) 代理人 100165076
弁理士 嶋田 一義
(72) 発明者 林 豊
愛知県名古屋市天白区久方2丁目12番地
1 学校法人トヨタ学園 豊田工業大学内
(72) 発明者 大下 祥雄
愛知県名古屋市天白区久方2丁目12番地
1 学校法人トヨタ学園 豊田工業大学内

最終頁に続く

(54) 【発明の名称】 光電変換素子

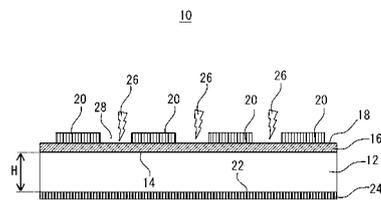
(57) 【要約】

【課題】極薄で均一且つ再現性のある薄膜を安価に量産でき、半導体と薄膜界面の界面準位を容易に低減でき、薄膜に大きな電流を流して長時間使用しても、信頼性の低下や特性変化が生じることのない光電変換素子を提供する。

【解決手段】結晶半導体12と、前記結晶半導体12の第1表面14に接して設けられる第1水素化アモルファス半導体膜16と、前記結晶半導体12に前記第1水素化アモルファス半導体膜16を介して設けられる第1低抵抗膜20と、を備える。

【選択図】 図1

FIG. 1



【特許請求の範囲】**【請求項 1】**

結晶半導体と、
前記結晶半導体の第 1 表面に接して設けられる第 1 水素化アモルファス半導体膜と、
前記結晶半導体に前記第 1 水素化アモルファス半導体膜を介して設けられる第 1 低抵抗膜と、
を備えることを特徴とする光電変換素子。

【請求項 2】

請求項 1 記載の光電変換素子において、
前記第 1 水素化アモルファス半導体膜と前記第 1 低抵抗膜とに接し、前記第 1 水素化アモルファス半導体膜と前記第 1 低抵抗膜との間に設けられる第 1 電荷保持層を備えることを特徴とする光電変換素子。 10

【請求項 3】

請求項 1 記載の光電変換素子において、
前記第 1 表面と対向する前記結晶半導体の第 2 表面に接して設けられる第 2 水素化アモルファス半導体膜と、
前記結晶半導体に前記第 2 水素化アモルファス半導体膜を介して設けられる第 2 低抵抗膜と、
を備え、
前記第 2 低抵抗膜は、前記第 1 低抵抗膜と仕事関数の値が異なることを特徴とする光電変換素子。 20

【請求項 4】

請求項 3 記載の光電変換素子において、
前記第 2 水素化アモルファス半導体膜と前記第 2 低抵抗膜とに接し、前記第 2 水素化アモルファス半導体膜と前記第 2 低抵抗膜との間に設けられる第 2 電荷保持層を備えることを特徴とする光電変換素子。

【請求項 5】

請求項 1 記載の光電変換素子において、
前記第 1 水素化アモルファス半導体膜と前記第 1 低抵抗膜とに接し、前記第 1 水素化アモルファス半導体膜と前記第 1 低抵抗膜との間に設けられる第 1 電荷保持層と、 30
前記第 1 表面と対向する前記結晶半導体の第 2 表面に接して設けられる第 2 水素化アモルファス半導体膜と、
前記結晶半導体に前記第 2 水素化アモルファス半導体膜を介して設けられる第 2 低抵抗膜と、
前記第 2 水素化アモルファス半導体膜と前記第 2 低抵抗膜とに接し、前記第 2 水素化アモルファス半導体膜と前記第 2 低抵抗膜との間に設けられる第 2 電荷保持層と、
を備え、
前記第 2 電荷保持層の電荷は、前記第 1 電荷保持層の電荷と符号が異なることを特徴とする光電変換素子。

【請求項 6】

請求項 1 記載の光電変換素子において、
前記第 1 表面に接し、前記第 1 水素化アモルファス半導体膜と並置されて設けられる第 2 水素化アモルファス半導体膜と、
前記第 1 低抵抗膜と分離され、前記結晶半導体に前記第 2 水素化アモルファス半導体膜を介して設けられる第 2 低抵抗膜と、
を備え、
前記第 2 低抵抗膜は、前記第 1 低抵抗膜と仕事関数の値が異なることを特徴とする光電変換素子。 40

【請求項 7】

請求項 2 記載の光電変換素子において、 50

前記第 1 表面に接し、前記第 1 水素化アモルファス半導体膜と並置されて設けられる第 2 水素化アモルファス半導体膜と、

前記第 1 低抵抗膜と分離され、前記結晶半導体に前記第 2 水素化アモルファス半導体膜を介して設けられる第 2 低抵抗膜と、

前記第 2 水素化アモルファス半導体膜と前記第 2 低抵抗膜とに接し、前記第 2 水素化アモルファス半導体膜と前記第 2 低抵抗膜との間に設けられる第 2 電荷保持層と、
を備え、

前記第 2 電荷保持層の電荷は、前記第 1 電荷保持層の電荷と符号が異なることを特徴とする光電変換素子。

【請求項 8】

10

請求項 6 又は 7 記載の光電変換素子において、

前記第 1 水素化アモルファス半導体膜と前記第 2 水素化アモルファス半導体膜とは、同一材料であることを特徴とする光電変換素子。

【請求項 9】

請求項 1 ~ 8 のいずれか 1 項に記載の光電変換素子において、

前記第 1 水素化アモルファス半導体膜には、凹部が形成され、前記第 1 低抵抗膜の少なくとも一部は、前記凹部の位置に対応させて設けられることを特徴とする光電変換素子。

【請求項 10】

請求項 3 ~ 9 のいずれか 1 項に記載の光電変換素子において、

前記第 2 水素化アモルファス半導体膜には、凹部が形成され、前記第 2 低抵抗膜の少なくとも一部は、前記凹部の位置に対応させて設けられることを特徴とする光電変換素子。

20

【請求項 11】

請求項 1、3、4、6 のいずれか 1 項に記載の光電変換素子において、

前記第 1 低抵抗膜と並置され、前記結晶半導体に前記水素化アモルファス半導体膜を介して設けられる前記第 1 電荷保持層を備えることを特徴とする光電変換素子。

【請求項 12】

請求項 3 又は 6 記載の光電変換素子において、

前記第 2 低抵抗膜と並置され、前記結晶半導体に前記第 2 水素化アモルファス半導体膜を介して設けられる第 2 電荷保持層を備えることを特徴とする光電変換素子。

【請求項 13】

30

請求項 1 又は 2 記載の光電変換素子において、

前記第 1 低抵抗膜は、光電変換される波長の光を透過する材料又は膜厚からなることを特徴とする光電変換素子。

【請求項 14】

請求項 3 又は 5 記載の光電変換素子において、

前記第 1 低抵抗膜又は前記第 2 低抵抗膜の少なくとも一方は、光電変換される波長の光を透過する材料又は膜厚からなることを特徴とする光電変換素子。

【請求項 15】

請求項 1、2、6 ~ 8 のいずれか 1 項に記載の光電変換素子において、

前記結晶半導体は、前記第 1 表面と対向する前記結晶半導体の第 2 表面にパッシベーション層を備えることを特徴とする光電変換素子。

40

【請求項 16】

請求項 15 記載の光電変換素子において、

前記パッシベーション層は、光電変換される波長の光に対する反射防止機能を兼ね備え、又は、反射防止膜を備えることを特徴とする光電変換素子。

【請求項 17】

請求項 1 又は 2 記載の光電変換素子において、

前記結晶半導体は、前記第 1 表面、又は、前記第 1 表面と対向する前記結晶半導体の第 2 表面にオーミック接触を有する電極を備えることを特徴とする光電変換素子。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、フォトレジスタ、フォトダイオード、フォトランジスタ、太陽電池などの、光を電気に変換する光電変換素子に関する。

【背景技術】

【0002】

光電変換素子には、照射光の強度、波長などが変化した結果、素子抵抗が変化するフォトレジスタ、素子電流又は電圧が変化するフォトダイオード、素子電流がフォトダイオードよりも増幅されて変化するフォトランジスタ、出力電流、電圧、電力が変化する太陽電池などがある。フォトダイオード、太陽電池を構成する電子構造には、pn接合、MIS構造が知られている。

10

【0003】

pn接合は、さらに、p形半導体とn形半導体とが同じ半導体材料で構成されるホモ接合、p形半導体とn形半導体とが異なる半導体材料で構成されるヘテロ接合がある。ヘテロ接合は、短波長感度の良いフォトダイオードや高効率の太陽電池を化合物半導体で実現する手段として使われることが多い。

【0004】

一方、フォトダイオードやフォトランジスタをシリコン半導体で実現する場合、ホモ接合を用いることが多いが、アモルファスシリコンと結晶シリコンのpn接合によるヘテロ接合太陽電池が高効率を目指して開発されている。アモルファスシリコンと結晶シリコンのヘテロ接合において、p形アモルファスシリコンとn形結晶シリコンとの間に、価電子制御不純物を意図的に添加しない"i"層と呼ばれるアモルファスシリコンを介在させることにより、開放電圧 V_{oc} を改善する技術が開発されている（非特許文献1）。

20

【先行技術文献】

【非特許文献】

【0005】

【非特許文献1】M. Taguchi, M. Tanaka, T. Matsuyama, T. Matsuoka, S. Tsuda, S. Nakano, Y. Kishi and Y. Kuwano, Technical Digest of the International PVSEC-5, C-111a-1, Kyoto, Japan, 1990, p.689

【非特許文献2】R. B. Godfrey and M. A. Green, IEEE Transactions on Electron Devices, Vol. ED-27, No. 4, April, 1980, p.737

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、ヘテロ接合太陽電池は、p形アモルファスシリコン層での短波長域の光吸収による損失、p形アモルファスシリコン層の上に設けられる透明導電膜の長波長域の光吸収による損失がある。p形アモルファスシリコン層による短波長光損失を改善するため、ワイドギャップを有するアモルファスシリコンカーバイド、酸素添加したアモルファスシリコンを用いることが試行されている。

【0007】

一方、MIS形の光電変換素子は、金属/絶縁膜/半導体から構成されている。MIS形には、構造及び製造工程が簡単であるという特徴があるが、絶縁膜としては SiO_2 が使われており、1.6nm以下の極薄い膜厚に制御しなければならない（非特許文献2）。そのため、低価格量産技術の観点からは、問題がある。長時間にわたり大きな電流（太陽電池としては最大 $40mA/cm^2$ ）を流すことは、絶縁膜としての信頼性の観点から望ましくない。また、表面再結合に敏感であり、 SiO_2 界面の界面準位の低減が変換効率を改善するために不可欠である。長時間大きい電流を流すと、界面準位が増加し、変換効率が時間とともに減少してしまう。

40

【0008】

本発明は、上記の課題を解決するためになされたものであって、極薄で均一且つ再現性

50

のある薄膜を安価に量産でき、半導体と絶縁薄膜界面の界面準位を容易に低減でき、絶縁薄膜に大きな電流を流して長時間使用しても、信頼性の低下や特性変化が生じることのない光電変換素子を提供することを目的とする。

【課題を解決するための手段】

【0009】

請求項1記載の光電変換素子は、結晶半導体と、前記結晶半導体の第1表面に接して設けられる第1水素化アモルファス半導体膜と、前記結晶半導体に前記第1水素化アモルファス半導体膜を介して設けられる第1低抵抗膜と、を備えることを特徴とする。

【0010】

請求項2記載の光電変換素子は、請求項1記載の光電変換素子において、前記第1水素化アモルファス半導体膜と前記第1低抵抗膜とに接し、前記第1水素化アモルファス半導体膜と前記第1低抵抗膜との間に設けられる第1電荷保持層を備えることを特徴とする。

10

【0011】

請求項3記載の光電変換素子は、請求項1記載の光電変換素子において、前記第1表面と対向する前記結晶半導体の第2表面に接して設けられる第2水素化アモルファス半導体膜と、前記結晶半導体に前記第2水素化アモルファス半導体膜を介して設けられる第2低抵抗膜と、を備え、前記第2低抵抗膜は、前記第1抵抗膜と仕事関数の値が異なることを特徴とする。

【0012】

請求項4記載の光電変換素子は、請求項3記載の光電変換素子において、前記第2水素化アモルファス半導体膜と前記第2低抵抗膜とに接し、前記第2水素化アモルファス半導体膜と前記第2低抵抗膜との間に設けられる第2電荷保持層を備えることを特徴とする。

20

【0013】

請求項5記載の光電変換素子は、請求項1記載の光電変換素子において、前記第1水素化アモルファス半導体膜と前記第1低抵抗膜とに接し、前記第1水素化アモルファス半導体膜と前記第1低抵抗膜との間に設けられる第1電荷保持層と、前記第1表面と対向する前記結晶半導体の第2表面に接して設けられる第2水素化アモルファス半導体膜と、前記結晶半導体に前記第2水素化アモルファス半導体膜を介して設けられる第2低抵抗膜と、前記第2水素化アモルファス半導体膜と前記第2低抵抗膜とに接し、前記第2水素化アモルファス半導体膜と前記第2低抵抗膜との間に設けられる第2電荷保持層と、を備え、前記第2電荷保持層の電荷は、前記第1電荷保持層の電荷と符号が異なることを特徴とする。

30

【0014】

請求項6記載の光電変換素子は、請求項1記載の光電変換素子において、前記第1表面に接し、前記第1水素化アモルファス半導体膜と並置されて設けられる第2水素化アモルファス半導体膜と、前記第1低抵抗膜と分離され、前記結晶半導体に前記第2水素化アモルファス半導体膜を介して設けられる第2低抵抗膜と、を備え、前記第2低抵抗膜は、前記第1低抵抗膜と仕事関数の値が異なることを特徴とする。

【0015】

請求項7記載の光電変換素子は、請求項2記載の光電変換素子において、前記第1表面に接し、前記第1水素化アモルファス半導体膜と並置されて設けられる第2水素化アモルファス半導体膜と、前記第1低抵抗膜と分離され、前記結晶半導体に前記第2水素化アモルファス半導体膜を介して設けられる第2低抵抗膜と、前記第2水素化アモルファス半導体膜と前記第2低抵抗膜とに接し、前記第2水素化アモルファス半導体膜と前記第2低抵抗膜との間に設けられる第2電荷保持層と、を備え、前記第2電荷保持層の電荷は、前記第1電荷保持層の電荷と符号が異なることを特徴とする。

40

【0016】

請求項8記載の光電変換素子は、請求項6又は7記載の光電変換素子において、前記第1水素化アモルファス半導体膜と前記第2水素化アモルファス半導体膜とは、同一材料であることを特徴とする。

50

【0017】

請求項9記載の光電変換素子は、請求項1～8のいずれか1項に記載の光電変換素子において、前記第1水素化アモルファス半導体膜には、凹部が形成され、前記第1低抵抗膜の少なくとも一部は、前記凹部の位置に対応させて設けられることを特徴とする。

【0018】

請求項10記載の光電変換素子は、請求項3～9のいずれか1項に記載の光電変換素子において、前記第2水素化アモルファス半導体膜には、凹部が形成され、前記第2低抵抗膜の少なくとも一部は、前記凹部の位置に対応させて設けられることを特徴とする。

【0019】

請求項11記載の光電変換素子は、請求項1、3、4、6のいずれか1項に記載の光電変換素子において、前記第1低抵抗膜と並置され、前記結晶半導体に前記水素化アモルファス半導体膜を介して設けられる前記第1電荷保持層を備えることを特徴とする。

10

【0020】

請求項12記載の光電変換素子は、請求項3又は6記載の光電変換素子において、前記第2低抵抗膜と並置され、前記結晶半導体に前記第2水素化アモルファス半導体膜を介して設けられる第2電荷保持層を備えることを特徴とする。

【0021】

請求項13記載の光電変換素子は、請求項1又は2記載の光電変換素子において、前記第1低抵抗膜は、光電変換される波長の光を透過する材料又は膜厚からなることを特徴とする。

20

【0022】

請求項14記載の光電変換素子は、請求項3又は5記載の光電変換素子において、前記第1低抵抗膜又は前記第2低抵抗膜の少なくとも一方は、光電変換される波長の光を透過する材料又は膜厚からなることを特徴とする。

【0023】

請求項15記載の光電変換素子は、請求項1、2、6～8のいずれか1項に記載の光電変換素子において、前記結晶半導体は、前記第1表面と対向する前記結晶半導体の第2表面にパッシベーション層を備えることを特徴とする。

【0024】

請求項16記載の光電変換素子は、請求項15記載の光電変換素子において、前記パッシベーション層は、光電変換される波長の光に対する反射防止機能を兼ね備え、又は、反射防止膜を備えることを特徴とする。

30

【0025】

請求項17記載の光電変換素子は、請求項1又は2記載の光電変換素子において、前記結晶半導体は、前記第1表面、又は、前記第1表面と対向する前記結晶半導体の第2表面にオーミック接触を有する電極を備えることを特徴とする。

【発明の効果】

【0026】

本発明に係る光電変換素子によれば、極薄で均一且つ再現性のある薄膜を安価に量産することができる。また、半導体と絶縁薄膜界面の界面準位を容易に低減でき、絶縁薄膜に大きな電流を流して長時間使用しても、信頼性の低下や特性変化が生じることがない光電変換素子を得ることができる。

40

【図面の簡単な説明】

【0027】

【図1】第1実施形態の光電変換素子の断面図である。

【図2】図1に示す光電変換素子の出力電流電圧特性である。

【図3】第2実施形態の光電変換素子の断面図である。

【図4】第3実施形態の光電変換素子の断面図である。

【図5】図4に示す光電変換素子の出力電流電圧特性である。

【図6】第4実施形態の光電変換素子の断面図である。

50

- 【図 7】第 5 実施形態の光電変換素子の断面図である。
 【図 8】第 6 実施形態の光電変換素子の断面図である。
 【図 9】第 6 実施形態の変形例である光電変換素子の断面図である。
 【図 10】第 7 実施形態の光電変換素子の断面図である。
 【図 11】第 8 実施形態の光電変換素子の断面図である。
 【図 12】第 9 実施形態の光電変換素子の断面図である。
 【図 13】第 10 実施形態の光電変換素子の断面図である。
 【図 14】第 11 実施形態の光電変換素子の断面図である。
 【図 15】第 11 実施形態の変形例である光電変換素子の断面図である。
 【発明を実施するための形態】

10

【0028】

本発明に係る光電変換素子を構成する水素化アモルファス半導体膜及び電荷保持層は、プラズマ CVD、触媒 CVD、ALD (atomic layer deposition) など製造可能であり、低温プロセスで量産化可能な技術が適用できる。また、従来の MIS 形で使われていた SiO_2 に比べて、水素化アモルファス半導体膜は、数倍厚くて良いため、制御しやすい。太陽電池の動作レベルの電流を流しても劣化が少ない。また、従来の MIS 形で使われていた SiO_2 に比べて、水素化アモルファス半導体膜は、結晶半導体の表面のパッシベーション効果に優れているため、高変換効率を得られやすい。

【0029】

< 第 1 実施形態 >

20

図 1 は、第 1 実施形態の光電変換素子 10 の断面図である。光電変換素子 10 は、結晶半導体 12 と、結晶半導体 12 の第 1 表面 14 に一方の表面が接して設けられる第 1 水素化アモルファス半導体膜 16 と、第 1 水素化アモルファス半導体膜 16 の他方の表面 18 に接して設けられる複数の第 1 低抵抗膜 20 と、第 1 表面 14 と対向する結晶半導体 12 の第 2 表面 22 に接して設けられる電極 24 とを備える。電極 24 は、光電変換素子 10 から直流電流又は電圧を取り出すため、結晶半導体 12 とオーミック接触を有する。参照符号 H は、結晶半導体 12 の厚さを表す。

【0030】

光電変換素子 10 には、第 1 表面 14 側から光 26 が入射される。表面 18 に平面配置される複数の第 1 低抵抗膜 20 は、光電変換対象の波長帯の光 26 に対して不透明である場合、光 26 を第 1 表面 14 に導入するための間隙 (gap) 28 が第 1 低抵抗膜 20 間に形成される。複数の第 1 低抵抗膜 20 は、任意の個所で相互に接続される。間隙 28 の幅は、結晶半導体 12 内で光発生した少数キャリアの拡散長より小さく設定されると、少数キャリア収集効率が良い。

30

【0031】

第 1 低抵抗膜 20 としては、結晶半導体 12 のフェルミレベルよりも、結晶半導体 12 の禁制帯の中央 (mid-gap) のエネルギーレベル側に仕事関数の値 (真空のエネルギーレベルから測定した仕事関数のエネルギーレベル) を有する材料を選択する。結晶半導体 12 が p 形の場合には、その伝導帯に近いが、さらにそれを超えて絶対値の小さい仕事関数の値を有する材料を選択すると効果がある。結晶半導体 12 が n 形の場合は、その価電子帯に近いが、さらにそれを超えて絶対値の大きい仕事関数の値を有する材料を選択すると、第 1 表面 14 を強く反転 (heavy inversion) させるのに効果がある。

40

【0032】

なお、第 1 表面 14 に接していない表面 18 には、第 1 低抵抗膜 20 の少なくとも一部の位置に対応して、膜厚の薄い部分となる凹部 (例えば、図 9 に示す凹部 15) を形成してもよい。この場合、第 1 水素化アモルファス半導体膜 16 には、前記凹部により膜厚の薄い部分と厚い部分とが形成されることになる。第 1 低抵抗膜 20 の少なくとも一部を前記凹部に対応して設けることにより、第 1 水素化アモルファス半導体膜 16 の抵抗を小さくして、電流を効率的に引き出すことができる。

【0033】

50

図2は、光電変換素子10の出力特性を示す。この場合、結晶半導体12は、結晶シリコン基板：p形、10 cm、(100)面、厚さ(H)約350 μmであり、第1水素化アモルファス半導体膜16は、水素化アモルファスシリコン膜：厚さ11 nm、製膜温度約100、価電子制御不純物の添加無しで製膜したものであり、第1低抵抗膜20は、アルミニウム膜：厚さ70 nm、直径300 μmである。

【0034】

通常、p形結晶シリコン基板の表面に直接アルミニウム膜を設けて熱処理を行うと、整流性がなくオーミック接触に近い特性となる。光電変換素子10は、p形結晶シリコン基板とアルミニウム膜との間に水素化アモルファスシリコン膜を介在させることにより、結晶シリコン基板電圧 - アルミニウム膜間電圧1 Vで暗状態での逆方向電流が1 nAオーダー、順方向電流が10 μAオーダー流れる整流特性を示す。

10

【0035】

図2は、マイクロプローブ装置の照明に使用されている白色発光ダイオード光により照射された時の出力特性のグラフであり、グラフの第1象限が光電変換素子10から電力出力が得られる動作領域である。第4象限及び第1象限に示される光電流は、300 μmのアルミニウム電極の外周の少数キャリア拡散長の距離で光発生する少数キャリア(この場合は電子)の中で、アルミニウム膜の下の空乏ないし反転接合に到達した電子が原因の電流である。

【0036】

この電流密度は、太陽電池の通常の電流密度より1桁以上小さい。その理由は、光源として太陽光より桁違いに小さい照度の発光ダイオードを使用しているためである。なお、この実施形態では、裏面に設けたオーミック接触などの直列抵抗のため、1桁以上大きな電流での特性は、この直列抵抗が障害となるので、小さい照度の光源を使用している。

20

【0037】

前記光電流が、アルミニウム膜(第1低抵抗膜20)の下の空乏ないし反転接合に流れ込んだとき、外部に電流を取り出さない状態で発生した電圧が光電変換素子10の開放電圧 V_{oc} である。図2に示す実施形態では、 $V_{oc} = 0.22$ Vである。

【0038】

<第2実施形態>

図3は、第2実施形態の光電変換素子30の断面図である。第1実施形態の光電変換素子10と同一の構成要素には、同一の参照符号を付し、その説明を省略する。

30

【0039】

結晶半導体12の第2表面22には、複数の電極32が平面配置される。複数の電極32間の第2表面22には、光発生少数キャリアの再結合損失を少なくして、効率を良くするため、パッシベーション(passivation)膜34が設けられる。光電変換素子30には、パッシベーション膜34を介して、第2表面22側から光26を入射させることができる。この場合、第1低抵抗膜20は、透明である必要がなく、その材料選択に自由度を与える。なお、パッシベーション膜34が設けられる第2表面22に反射防止膜(図示せず)を設けることにより、光26の結晶半導体12の領域への取り込み分を改善し、光電変換集光効率をさらに向上させることができる。

40

【0040】

第1実施形態、第2実施形態を含む本実施形態に係る発明では、第1水素化アモルファス半導体膜16及び後述の第2水素化アモルファス半導体膜72(図8)を含む水素化アモルファス半導体膜は、結晶半導体12の表面との界面を水素結合によりパッシベーションすることができる。このため、界面準位密度を低く抑えることができる。特に、結晶半導体12がシリコン、シリコン・ゲルマニウム、ゲルマニウムの場合、効果が大きい。

【0041】

水素化アモルファス半導体膜が水素化アモルファスシリコン($aSi:H$)、水素化アモルファスシリコンカーバイド($aSi_xC_y:H$)、酸素を含む水素化アモルファスシリコン($aSi_xO_y:H$)、水素化アモルファスシリコン・ゲルマニウム(aSi_xG

50

$e_y : H$) などの場合は、100 前後の低温からプラズマ CVD、光 CVD、cat CVD (触媒 CVD) によって再現性のある製膜が可能で、量産化も可能である。

【0042】

水素化アモルファス半導体膜を結晶半導体 12 の表面に堆積する前に、プラズマ、光励起、触媒 (加熱タングステン、加熱パラジウムなど) 励起によりラディカル水素を形成し、結晶表面をクリーニング、水素化することができる。また、結晶半導体 12 の表面に付着した不純物のうち、水素化して気化できるものは除去することもできる。

【0043】

結晶半導体 12 がシリコン、シリコン・ゲルマニウム、ゲルマニウムの場合は、 SF_6 などを同様に励起して、結晶半導体 12 の表面をエッチングして清浄化することもできる。これらの状態で真空を破らずに水素化アモルファス半導体膜の堆積チャンバーに搬送することにより、さらに界面準位の少ない水素化アモルファス半導体膜と結晶半導体 12 との界面を得ることができる。

【0044】

水素化アモルファス半導体膜は、MIS 形光電変換素子に使用された超薄絶縁膜と比べて、 10 mA/cm^2 オーダーの電流を流しても劣化が少ない。抵抗率の調整に価電子制御不純物 (例えば、硼素、燐など) を添加することができるが、膜中の電子的欠陥の増加を伴うので、水素化アモルファスシリコン膜の場合には、 $(\text{硼素/シリコン}) < 10^{-4}$ 、 $(\text{燐/シリコン}) < 10^{-5}$ が望ましい。

【0045】

第 1 低抵抗膜 20 及び後述の第 2 低抵抗膜 76 を含む低抵抗膜は、抵抗率が水素化アモルファス半導体膜の抵抗率より小さいことが必要で、さらに、該水素化アモルファス半導体膜に上記価電子制御不純物を上記数値より多く添加した水素化アモルファス半導体膜の抵抗率の下限 100 cm より小さい 10 cm 以下であることが望ましい。低抵抗膜の抵抗がデバイス設計の観点からこれでも大きすぎる場合は、さらに低抵抗金属を被服する。この設計思想は第 1 低抵抗膜 20 及び後述の第 2 低抵抗膜 76 に適用する。

【0046】

低抵抗膜は、結晶半導体 12 のフェルミレベルよりも、結晶半導体 12 の禁制帯の中央 (mid gap) のエネルギーレベル側に仕事関数の値 (真空のエネルギーレベルから測定した仕事関数のエネルギーレベル) を有する材料であれば、光電変換素子 10、30 を含む本実施形態に係る発明の光電変換素子から光起電圧を得られる。すなわち、結晶半導体 12 が p 形の場合、第 1 低抵抗膜 20 の仕事関数の値は、結晶半導体 12 のフェルミレベルより電導帯側にあることが望ましい。また、結晶半導体 12 が n 形の場合、第 1 低抵抗膜 20 のフェルミレベルは、結晶半導体 12 のフェルミレベルより価電子帯側にあることが望ましい。この組み合わせにより、第 1 表面 14 には、エネルギーバンドの曲りが生じ、空乏層 (depletion layer) 又は反転層 (inversion layer) が形成される。

【0047】

第 1 低抵抗膜 20 として、例えば、p 形結晶シリコン基板に対しては、アルミニウム、マグネシウム (化学的に安定な材料によるコーティングが必要)、n 形酸化亜鉛 (ZnO) など、結晶シリコン基板の伝導帯に近いが、さらにそれを超えて絶対値の小さい仕事関数の値を有する材料を選択し、n 形結晶シリコン基板に対しては、ニッケル、白金など、結晶シリコン基板の荷電子帯に近いが、さらにそれを超えて絶対値の大きい仕事関数の値を有する材料を選択することにより、変換効率を上げることができる。なお、酸化亜鉛は、酸素空孔 (oxygen vacancy) を設けることにより n 形となる。

【0048】

低抵抗膜が不透明の場合、光電変換素子 10、30 を含む本実施形態に係る発明の光電変換素子は、平面形状の低抵抗膜の外周側から第 1 表面 14 に入射した光 26 により発生した電子・正孔 (以後キャリアとも記載する) を集め、電気 (電流、電圧又は蓄積電荷変化) を出力する。一方、結晶半導体 12 の第 2 表面 22 側から光 26 を入射すれば、不透明な低抵抗膜により光 26 が遮られることはない。この場合、結晶半導体 12 の厚さ H は

10

20

30

40

50

、少数キャリアの拡散長より小さいことが高効率には必要である。

【0049】

光電変換素子10、30から直流電圧、直流電流を取り出すためには、結晶半導体12へオーミック接触を有する電極24、32を第1表面14又は第2表面22に設ける。交流電圧、交流電流、蓄積電荷変化を取り出すためには、必ずしも結晶半導体12へオーミック接触を有する電極24、32を設ける必要はなく、容量結合をした電極でよい。光電変換素子10、30の第1低抵抗膜20と結晶半導体12との間に電荷(実態は電圧であることが多い)を予め与えておき、規定時間後に、第1低抵抗膜20と結晶半導体12との間の電圧の変化を読み出すことにより、光起電流で放電され、又は、充電された蓄積電荷変化を知ることができる。

10

【0050】

第1低抵抗膜20が不透明の場合であって、第1表面14側から光26を入射させる場合、第1低抵抗膜20は、結晶半導体12の少数キャリア拡散長より小さい間隔で複数配置されることが望ましい。この配置により、光26で結晶半導体12内に発生した少数キャリアが再結合により多く失われる前に、光電流として取り出すことができる。複数の第1低抵抗膜20は、パスパーなどと呼ばれる導電薄膜(又は第1低抵抗膜20)で接続される。

【0051】

第2表面22から光26を入射させる場合であって、第2表面22に電極32を設ける場合、電極32を、光26を入射するための間隙を置いて複数設ける。間隙は、大きい方が光26の導入のためには良いが、結晶半導体12の横方向抵抗が取り出す光電流による大きな電圧降下を生じないために限界がある。結晶半導体12の抵抗率、厚さHにより変わるが、効率よく電力を引き出すためには、おおよそ数mmのオーダーの間隔が限界である。複数の電極32は、一か所で接続することができる。第2表面22から光26を入射させる場合、結晶半導体12の厚さHを少数キャリアの拡散長より小さくし、第2表面22と対向する第1表面14側での光26の反射率を大きくすると、高効率が得られる。このためには、例えば、第1低抵抗膜20を反射率の高い金属で構成し、ギャップを設けずに連続して第1水素化アモルファス半導体膜16の表面18に接着する。

20

【0052】

第2表面22から光26を入射させる場合には、複数の電極32の間の第2表面22に少数キャリアの再結合を少なくするためのパッシベーション(passivation)膜34を設けることにより、変換効率を改善することができる。さらに、パッシベーション膜34に接して反射防止膜を設けることができる。パッシベーション膜34と反射防止膜とは、一つで兼用する材料を選ぶことができる(たとえば結晶半導体12がn形シリコンである場合、シリコン窒化膜など)。

30

【0053】

<第3実施形態>

図4は、第3実施形態の光電変換素子40の断面図である。第1実施形態の光電変換素子10と同一の構成要素には、同一の参照符号を付し、その説明を省略する。

【0054】

第1水素化アモルファス半導体膜16の表面18には、第1電荷保持層42が接して設けられる。また、第1電荷保持層42の表面44には、複数の第1低抵抗膜20が接して設けられる。光電変換素子40には、第1表面14側から光26が入射される。

40

【0055】

なお、この第3実施形態も含めて、前記第1低抵抗膜は、本発明では一般的に「前記第1低抵抗膜は、前記結晶半導体の第1表面又は第2表面に前記第1水素化アモルファス半導体膜を介して設けられる」と記述する。例えば、第1実施形態及び第2実施形態では、第1低抵抗膜20は、前記第1水素化アモルファス半導体膜16に接して設けられている。第3実施形態では、第1低抵抗膜20は、第1電荷保持層42に接し、結晶半導体12の第1表面14に接した第1水素化アモルファス半導体膜16を介して、結晶半導体12

50

の第1表面14に対向して設けられている。

【0056】

また、第2低抵抗膜は、本発明では一般的に「前記第2低抵抗膜は、前記結晶半導体の第2表面又は第1表面に前記第2水素化アモルファス半導体膜を介して設けられる」と記述する。本発明では、図8の光電変換素子70のように、第2低抵抗膜76は、第2水素化アモルファス半導体膜72に接して設けられている場合もあるが、図11、図13又は図14の光電変換素子80、100又は110のように、第2低抵抗膜76は、第2電荷保持層82又は116に接しているが、結晶半導体12の第2表面22又は第1表面14に接した第2水素化アモルファス半導体膜72又は114を介して、結晶半導体12の第2表面22又は第1表面14に対向して設けられる場合もある。

10

【0057】

図5は、光電変換素子40の出力特性を示す。この場合、結晶半導体12、第1水素化アモルファス半導体膜16及び第1低抵抗膜20は、光電変換素子10と同じ構成であり、第1電荷保持層42は、水素化アモルファス窒化シリコン膜：厚さ6.3nm、製膜温度約100、価電子制御不純物の添加無しで製膜したものである。

【0058】

図5は、図2の場合と同様に、マイクロプローブ装置の照明に使用されている白色発光ダイオード光が照射された時の出力特性のグラフである。第4象限及び第1象限に示される光電流は、300 μ mのアルミニウム電極の外周の少数キャリア拡散長の距離で光発生する少数キャリア（この場合は電子）の中で、アルミニウム膜の下の空乏ないし反転接合に到達した少数キャリアと、第1電荷保持層42の下の第1表面14に誘起された空乏ないし反転層で集められた少数キャリアの中で、空乏ないし反転層を通過してアルミニウム膜の下の空乏ないし反転接合に到達した少数キャリアとが原因の電流である。

20

【0059】

図1に示す光電変換素子10と、図4に示す光電変換素子40との相違点は、第1電荷保持層42の有無である。第1低抵抗膜20と結晶半導体12との間のCV（容量-電圧）特性を測定することにより、第1電荷保持層42には、結晶半導体12の導電形と同符号の電荷約6.2 $\times 10^{-7}$ coul/cm²の正電荷が保持されていることが確認された。この電荷は、p形10cmの結晶シリコン基板の表面に空乏層を誘起し、さらに約3.8 $\times 10^{12}$ 個/cm²の電子を含む反転層を誘起できる。

30

【0060】

従って、第1低抵抗膜20であるアルミニウム膜の端部から拡散長以上離れた結晶半導体12で発生した少数キャリアも、まず、この反転層が形成する表面誘起pn接合で集められ、反転層を通過してアルミニウム膜へ集められる。このため、光電流が図2に示す光電変換素子10の出力特性よりも大きい。反転層の抵抗を通過して電流が集められるので、直列抵抗成分は大きくなっている。また、この直列抵抗成分の増加には、第1電荷保持層42（実施形態では、水素化アモルファス窒化シリコン膜）の抵抗成分も含まれている。

【0061】

光電変換素子40では、第1電荷保持層42の電荷により第1表面14に誘起された空乏ないし反転層のキャリアの増加分により、開放電圧V_{oc}が0.32Vと増加している。この開放電圧V_{oc}の値は、光電変換素子10の開放電圧0.22Vより0.1V大きい。光電流が約1桁大きいので、約60mVの増加は、電流増加により説明できる。40mV分の増加は、第1低抵抗膜20であるアルミニウム膜の下の第1電荷保持層42の電荷の効果である。この第1電荷保持層42の効果は、第1低抵抗膜20の周辺部分で光発生少数キャリアの拡散長より、さらに遠い部分からの光発生少数キャリアを第1低抵抗膜20へ輸送する効果（取り出せる光電流を大きくする効果）と開放電圧を増大させる効果がある。

40

【0062】

第1電荷保持層42の高抵抗を改善する方法としては、第1低抵抗膜20が接して設けられる部分の第1電荷保持層42の膜厚を、第1低抵抗膜20が設けられない部分の膜厚

50

よりも薄くした構成を採用することができる。この場合、第1電荷保持層42の厚さの減少に従って保持される電荷量の減少があると、第1電荷保持層42の開放電圧増大効果は小さくなる。

【0063】

<第4実施形態>

図6は、第4実施形態の光電変換素子50の断面図である。第3実施形態の光電変換素子40と同一の構成要素には、同一の参照符号を付し、その説明を省略する。

【0064】

第1低抵抗膜54は、第1電荷保持層42の表面44の全面に接して設けられる。結晶半導体12の第2表面22には、複数の電極32が平面配置される。複数の電極32間の第2表面22には、光発生少数キャリアの再結合損失を少なくし、反射を少なくして効率を良くするため、光電変換される波長の光に対する反射防止機能を兼ね備えるパッシベーション膜兼反射防止膜52が設けられる。光電変換素子50には、パッシベーション膜兼反射防止膜52を介して、第2表面22側から光26を入射させることができる。従って、第1低抵抗膜54は、透明である必要がなく、その材料選択に自由度を与える。なお、パッシベーション膜兼反射防止膜52に代えて、図3に示すように、パッシベーション膜34及び反射防止膜(図示せず)をそれぞれ設けてもよい。

10

【0065】

なお、図2及び図5の出力特性は、結晶半導体12としてp形結晶シリコン基板を用いた場合のものである。結晶半導体12がn形結晶シリコン基板の場合、第1低抵抗膜20としては、ニッケル、白金など、結晶シリコンの価電子帯に近いか、さらにそれを超えて絶対値の大きい仕事関数の値を有する材料を使用する。また、結晶半導体12がn形結晶シリコン基板の場合の第1電荷保持層42としては、膜中又は界面に負電荷を有する膜、例えば、低温ALD(atomic layer deposition)で製膜した数nmの酸化アルミニウムなどが使用できる。

20

【0066】

第3実施形態、第4実施形態に係る発明では、第1電荷保持層42及び後述の第2電荷保持層82(図10、図11)を含む電荷保持層は、その中、又は、前記水素化アモルファス半導体膜との界面に電荷を保持する層である。光電変換素子40、50を使用する状態での電流を流すことができる程度の厚さ、材料から構成されるときは、電荷保持層に接して前記低抵抗膜を設けることができる。電荷保持層として利用できる材料には、例えば、水素化アモルファス窒化シリコン、低温成長アルミナなどがある。

30

【0067】

電荷保持層の電気抵抗が高い場合は、水素化アモルファス半導体膜に電荷保持層が接していない部分を設け、低抵抗膜は、前記部分へ接し、電荷保持層と並置して設ける。低抵抗膜は、複数設けて、その間隙から光26を入射させることができる。この場合、前記低抵抗膜の間隙には、電荷保持層を水素化アモルファス半導体膜に接して設ける。電荷保持層が第1電荷保持層42の場合、結晶半導体12の第1表面14に空乏層(depletion layer)又は反転層(inversion layer)を誘起させ、光26で発生した少数キャリアの収集効率を改善することができる。

40

【0068】

前記電荷保持層が後述の第2電荷保持層の場合は、結晶半導体領域の第1表面又は後述の第2表面に蓄積層(accumulation layer)を誘起して、後述の第2低抵抗膜が当該第2電荷保持層に接触している場合は、当該第2低抵抗膜と結晶半導体領域とのオーム性接触を促進する。前記電荷保持層が後述の第2電荷保持層の場合は、後述の第2低抵抗層が当該第2電荷保持層に接触している平面配置でも、接触しない平面配置でも、前記結晶半導体領域の第1表面又は後述の第2表面に光誘起された少数キャリアを追い返す電界を形成して、光誘起された少数キャリアの表面再結合を少なくする働きを促す。

【0069】

光電変換素子40、50から光起電圧を取り出すためには、第1低抵抗膜20、54の

50

下の結晶半導体12の第1表面14に空乏層(depletion layer)又は反転層(inversion layer)が誘起される必要がある。電荷保持層の中、第1電荷保持層42は、第1表面14の空乏(depletion)、反転(inversion)を助ける機能を有する。従って、第1電荷保持層42に保持される電荷は、結晶半導体12がp形の場合は正、n形の場合は負の符号を有することが望ましい。本実施形態では、これを「結晶半導体12の導電形と同符号の電荷」と記述する。また、後述の第2電荷保持層82、92、116に保持される電荷は、結晶半導体12がp形の場合は負、n形の場合は正の符号を有する場合、本発明では、「結晶半導体12の導電形と逆符号の電荷」と記述する。

【0070】

第1電荷保持層42に保持される電荷は、第1低抵抗膜20、54の働き、すなわち、第1表面14の空乏、反転を助ける機能を有するから、電荷保持層を水素化アモルファス半導体膜と低抵抗膜との間に設けた場合は、低抵抗膜の仕事関数に対する要求は緩和される。公知の透明導電膜を低抵抗膜として使うこともできる。

10

【0071】

<第5実施形態>

図7は、第5実施形態の光電変換素子60の断面図である。第3実施形態の光電変換素子40と同一の構成要素には、同一の参照符号を付し、その説明を省略する。

【0072】

光電変換素子60は、光電変換素子40における第1電荷保持層42の高抵抗を避け、且つ、光発生キャリアを収集する機能を主として活用する配置例である。第1水素化アモルファス半導体膜16の表面18には、複数の第1低抵抗膜20が設けられる。また、複数の第1低抵抗膜20間の第1水素化アモルファス半導体膜16の表面18には、複数の第1電荷保持層62が複数の第1低抵抗膜20と並置して設けられる。光電変換素子60には、第1表面14側から光26が入射される。

20

【0073】

このように構成することにより、結晶半導体12の第1表面14に光26を効率的に導入することができ、また、第1電荷保持層62の抵抗が大きくても電流を効率的に引き出すことができる。第1電荷保持層62の電荷により、第1表面14に誘起された空乏層又は反転層からなる表面接合による光電変換を行うことにより、第1電荷保持層62としてワイドギャップ材料を選択して、短波長感度の良好な光電変換素子60を提供することができる。なお、第1電荷保持層62は、第1低抵抗膜20に少なくともその平面形状端部で近接していることが望ましい。

30

【0074】

前記光電変換素子10、40、60のように公知のオーミック接触を有する電極24、または、前記光電変換素子30、50のように公知のオーミック接触を有する電極32を結晶半導体12に設けることにより、光電変換素子10、30、40、50、60から直流電圧、直流電流を取り出すことができる(交流電圧、交流電流の場合は必ずしもオーミック接触は必要ない)が、以下の第2水素化アモルファス半導体膜を介して前記結晶半導体表面に第2低抵抗膜を設ける構成を加えることにより、従来いわゆるオーミック接触を有する電極がなくても、光電変換素子から電圧、電流、電荷変化分を取り出すことができる。

40

【0075】

従来いわゆるオーミック接触と、本発明の前記結晶半導体領域上に第2水素化アモルファス半導体膜を介して設けた第2低抵抗膜との違いは、従来いわゆるオーミック接触が、多数キャリアに対しても、少数キャリアに対しても、線形性を以って導通させたのに対して、本実施形態に係る発明の第2低抵抗膜と前記結晶半導体領域との間は、前記結晶半導体中の多数キャリアは導通するが、少数キャリアの導通は多数キャリアに比べて少ない。いわば、主として多数キャリアに対して選択的にオーミック接合を形成している。本実施形態に係る発明では、これを「多数キャリアオーミック接合」と呼ぶ。

【0076】

50

< 第 6 実施形態 >

図 8 は、第 6 実施形態の光電変換素子 70 の断面図である。第 1 実施形態の光電変換素子 10 と同一の構成要素には、同一の参照符号を付し、その説明を省略する。

【 0077 】

結晶半導体 12 の第 2 表面 22 には、第 2 水素化アモルファス半導体膜 72 の一方の表面が接して設けられる。また、第 2 水素化アモルファス半導体膜 72 の他方の表面 74 には、複数の第 2 低抵抗膜 76 が接して設けられる。複数の第 2 低抵抗膜 76 の間には、光 26 を第 2 表面 22 側からも導入できる間隙 78 が形成される。なお、複数の第 1 低抵抗膜 20 間の第 1 水素化アモルファス半導体膜 16 の表面 18 には、第 5 実施形態の光電変換素子 60 と同様に、複数の第 1 電荷保持層 62 を並置して設けてもよい。

10

【 0078 】

第 2 低抵抗膜 76 に対して、結晶半導体 12 にオーミック接触を有する電極の代わりに機能を持たせる場合、第 2 低抵抗膜 76 は、第 1 低抵抗膜 20 の場合と逆に、結晶半導体 12 の mid-gap のエネルギーレベルよりも、結晶半導体 12 のフェルミレベル側に仕事関数の値を有する材料を選択する。結晶半導体 12 が p 形の場合は、その価電子帯に近いが、さらにそれを超えて絶対値の大きい仕事関数の値を有する材料を選択すると効果がある。例えば、結晶半導体 12 が p 形結晶シリコン基板である場合、第 2 低抵抗膜 76 の材料として、ニッケル、白金などが挙げられる。結晶半導体 12 が n 形の場合は、その伝導帯に近いが、さらにそれを超えて絶対値の小さい仕事関数の値を有する材料を選択すると効果がある。たとえば、マグネシウム、n 形酸化亜鉛、アルミニウムなどが挙げられる。

20

【 0079 】

なお、図 9 に示す光電変換素子 70 a のように、第 1 水素化アモルファス半導体膜 16 の表面 18 と、第 2 水素化アモルファス半導体膜 72 の表面 74 とには、第 1 低抵抗膜 20 及び第 2 低抵抗膜 76 が設けられる位置の少なくとも一部に対応して、膜厚の薄い部分となる凹部 15 及び 71 を形成してもよい。この場合、第 1 水素化アモルファス半導体膜 16 及び第 2 水素化アモルファス半導体膜 72 には、凹部 15 及び 71 により膜厚の薄い部分と厚い部分とが形成されることになる。第 1 低抵抗膜 20 及び第 2 低抵抗膜 76 を凹部 15 及び 71 に対応して設けることにより、第 1 水素化アモルファス半導体膜 16 及び第 2 水素化アモルファス半導体膜 72 の抵抗を小さくして、電流を効率的に引き出すことができる。

30

【 0080 】

また、光 26 が入射される側に設けられる第 1 低抵抗膜 20 又は第 2 低抵抗膜 76 は、これらが金属であっても、光電変換される波長の光 26 を透過する材料又は膜厚、例えば、膜厚 10 nm 以下とすることにより、光 26 を結晶半導体 12 に導入することができる。

【 0081 】

第 6 実施形態に係る発明では、第 2 水素化アモルファス半導体膜 72 は、第 1 水素化アモルファス半導体膜 16 と膜厚、材料が同じでも、異なっても良い。第 2 低抵抗膜 76 にオーミック接触電極の代わりに役割を与えるならば、第 2 水素化アモルファス半導体膜 72 の膜厚は、第 1 水素化アモルファス半導体膜 16 より薄い方がよい。

40

【 0082 】

第 2 低抵抗膜 76 に対向する結晶半導体 12 の第 2 表面 22 は、第 2 低抵抗膜 76 が結晶半導体 12 にオーミック接触する電極の代わりのときは、むしろ（多数キャリアが誘起された）蓄積（accumulation）状態であることが望ましい。この観点から、第 2 低抵抗膜 76 は、第 1 低抵抗膜 20 の場合と逆で、結晶半導体 12 の mid-gap のエネルギーレベルよりも、結晶半導体 12 のフェルミレベル側に仕事関数の値を有することが望ましい。すなわち、結晶半導体 12 が p 形ならば、第 2 低抵抗膜 76 の仕事関数の値は、結晶半導体 12 のフェルミレベルより価電子帯側にあることが望ましい。また、結晶半導体 12 が n 形ならば、第 2 低抵抗膜 76 の仕事関数の値は、結晶半導体 12 のフェルミレベルより伝導帯側にあることが望ましい。

50

【0083】

第2低抵抗膜76の仕事関数の値が結晶半導体12のフェルミレベルよりも、結晶半導体12のmid-gapエネルギーレベル側になる場合は、第2低抵抗膜76の仕事関数の値と結晶半導体12のフェルミレベルとの差の絶対値が、第1低抵抗膜20の仕事関数の値と結晶半導体12のフェルミレベルとの差の絶対値より小さい必要がある。この場合、光電変換素子70の光起電圧は、第1低抵抗膜20の仕事関数の値と第2低抵抗膜76の仕事関数の値との差分の関数となる。

【0084】

光電変換素子70においても、第2表面22から光26が入射される場合であって、第2低抵抗膜76が遮光性の材料である場合は、光電変換素子30の電極32と同様に、第2低抵抗膜76は、光26を入射させるための間隙78を設けて複数設置する。間隙78は、大きい方が光26の導入のためには良いが、結晶半導体12の横方向抵抗が取り出す光電流による大きな電圧降下を生じないために限界がある。結晶半導体12の抵抗率、厚さHにより変わるが、効率よく電力を引き出すためには、おおよそ数mmのオーダーの間隔が限界である。複数の電極は、一か所で接続することができる。

10

【0085】

第2表面22から光26を入射させる場合、複数の第2低抵抗膜76の間の第2水素化アモルファス半導体膜72に接して、反射防止膜を設けることができる。

【0086】

光電変換素子70の第2表面22が蓄積(accumulation)状態にあるときは、少数キャリアを第2表面22から追い返す電界が誘起されており、この電子構造の故に、第2表面22での光発生少数キャリアの再結合が抑制され、電流出力、電圧出力は増加する。この電界は、第2低抵抗膜76の仕事関数の値と結晶半導体12のフェルミレベルとの差に比例している。この電界をさらに増加させるためには、以下に説明するように、第2電荷保持層を設ける。

20

【0087】

<第7実施形態>

図10は第7実施形態の光電変換素子70bの断面図である。第6実施形態の光電変換素子70と同一の構成要素には、同一の参照符号を付し、その説明を省略する。

【0088】

第1水素化アモルファス半導体膜16の表面18には、第6実施形態と同様、第1低抵抗膜20が設けられる。第2水素化アモルファス半導体膜72の表面74には、第2電荷保持層82が接して設けられる。第2電荷保持層82に保持される電荷の符号は、結晶半導体12の領域の導電形と逆符号(p形のときは負、n形のときは正)であることが望ましい。第2電荷保持層82の表面84には、複数の第2低抵抗膜76が接して設けられる。複数の第2低抵抗膜76の間には、光26を第2表面22側からも導入できる間隙78が形成される。第2電荷保持層82の電荷量が大きいときは、第2低抵抗膜76は、第1低抵抗膜20と仕事関数の値が必ずしも異なる必要はなく、第1低抵抗膜20と同じ材料でもよい。

30

【0089】

<第8実施形態>

図11は、第8実施形態の光電変換素子80の断面図である。第7実施形態の光電変換素子70と同一の構成要素には、同一の参照符号を付し、その説明を省略する。

40

【0090】

第1水素化アモルファス半導体膜16の表面18には、第1電荷保持層42が接して設けられる。第1電荷保持層42の表面44には、第1低抵抗膜20が接して設けられる。また、第2水素化アモルファス半導体膜72の表面74には、第2電荷保持層82が接して設けられる。第2電荷保持層82に保持される電荷の符号は、第1電荷保持層42に保持される電荷の符号と異なる。第2電荷保持層82の表面84には、複数の第2低抵抗膜76が接して設けられる。複数の第2低抵抗膜76の間には、光26を第2表面22側か

50

らも導入できる間隙 78 が形成される。第 2 電荷保持層 82 の電荷と第 1 電荷保持層 42 の電荷とで符号が異なっているため、第 2 低抵抗膜 76 は、第 1 低抵抗膜 20 と仕事関数の値が必ずしも異なる必要はなく、第 1 低抵抗膜 20 と同じ材料でもよい。

【0091】

また、光 26 が入射する側に設けられる第 1 低抵抗膜 20 又は第 2 低抵抗膜 76 は、これらが金属であっても、光電変換される波長の光 26 を透過する材料又は膜厚、例えば、膜厚 10 nm 以下とすることにより、光 26 を結晶半導体 12 に導入することができる。

【0092】

第 8 実施形態に係る発明では、第 2 電荷保持層 82 は、結晶半導体 12 の第 1 表面 14 又は第 2 表面 22 に蓄積層 (accumulation layer) を誘起し、第 2 低抵抗膜 76 が第 2 電荷保持層 82 に接触している場合、第 2 低抵抗膜 76 と結晶半導体 12 との多数キャリアオーミック接合動作を促進する。第 2 電荷保持層 82 は、第 2 低抵抗膜 76 が第 2 電荷保持層 82 に接触している平面配置、又は、接触しない平面配置において、結晶半導体 12 の第 1 表面 14 又は第 2 表面 22 に光誘起された少数キャリアを追い返す電界を形成して、光誘起された少数キャリアの表面再結合を少なくする働きを促す。

【0093】

光電変換素子 80 においても、第 2 表面 22 から光 26 が入射される場合であって、第 2 低抵抗膜 76 が遮光性の材料である場合は、光電変換素子 70 と同様に、第 2 低抵抗膜 76 を、光 26 を入射させるための間隙 78 を設け、複数設置する。間隙 78 は、大きい方が光の導入のためにはよいが、結晶半導体 12 の横方向抵抗が取り出す光電流による大きな電圧降下を生じないために限界がある。結晶半導体 12 の抵抗率、厚さ H により変わるが、効率よく電力を引き出すためには、おおよそ数 mm のオーダーの間隙 78 が限界である。複数の第 2 低抵抗膜 76 は、一か所で接続することができる。

【0094】

第 2 電荷保持層 82 が光電変換素子 80 を使用する状態での電流を流すことができる程度の厚さ、材料から構成されるときは、第 2 電荷保持層 82 に接して第 2 低抵抗膜 76 を設ける。第 2 電荷保持層 82 の電気抵抗が高い場合は、第 2 水素化アモルファス半導体膜 72 に第 2 電荷保持層 82 が接していない部分を設け、第 2 低抵抗膜 76 をそこに接して設ける。第 2 低抵抗膜 76 は、複数を平面配置して、その間隙から光 26 を入射させることができる。この場合、第 2 低抵抗膜 76 の間隙には、第 2 電荷保持層 82 を第 2 水素化アモルファス半導体膜 72 に接して設け、結晶半導体 12 の第 2 表面 22 にキャリア蓄積層を誘起させ、光 26 で発生した少数キャリアの収集効率を改善することができる。

【0095】

< 第 9 実施形態 >

図 12 は、第 9 実施形態の光電変換素子 90 の断面図である。第 8 実施形態の光電変換素子 80 と同一の構成要素には、同一の参照符号を付し、その説明を省略する。

【0096】

光電変換素子 90 は、光電変換素子 80 における第 2 電荷保持層 82 の高抵抗を避ける配置例である。第 2 水素化アモルファス半導体膜 72 の表面 74 には、複数の第 2 低抵抗膜 76 が接して設けられる。また、複数の第 2 低抵抗膜 76 間の第 2 水素化アモルファス半導体膜 72 の表面 74 には、複数の第 2 電荷保持層 92 が並置して設けられる。光電変換素子 90 には、第 1 表面 14 及び第 2 表面 22 から光 26 を入射可能である。

【0097】

このように構成することにより、結晶半導体 12 の第 2 表面 22 に光 26 を効率的に導入することができる。また、第 2 電荷保持層 92 の抵抗が大きくても電流を効率的に引き出すことができる。

【0098】

< 第 10 実施形態 >

図 13 は、第 10 実施形態の光電変換素子 100 の断面図である。第 8 実施形態の光電変換素子 80 と同一の構成要素には、同一の参照符号を付し、その説明を省略する。

10

20

30

40

50

【 0 0 9 9 】

第 1 低抵抗膜 5 4 は、第 1 電荷保持層 4 2 の表面 4 4 の全面に接して設けられる。複数の第 2 低抵抗膜 7 6 間の第 2 電荷保持層 8 2 の表面 8 4 には、反射防止膜 1 0 2 が設けられる。光電変換素子 1 0 0 には、反射防止膜 1 0 2 を介して、第 2 表面 2 2 側から光 2 6 が入射される。反射防止膜 1 0 2 は、入射した光 2 6 を結晶半導体 1 2 に効率的に導くため、高効率な光電変換素子 1 0 0 が実現される。

【 0 1 0 0 】

< 第 1 1 実施形態 >

図 1 4 は、第 1 1 実施形態の光電変換素子 1 1 0 の断面図である。第 8 実施形態の光電変換素子 8 0 と同一の構成要素には、同一の参照符号を付し、その説明を省略する。

10

【 0 1 0 1 】

光電変換素子 8 0 では、第 2 水素化アモルファス半導体膜 7 2、第 2 電荷保持層 8 2 及び第 2 低抵抗膜 7 6 からなるスタック（「第 2 スタック」と称する。）が結晶半導体 1 2 の第 2 表面 2 2 側に設けられている。これに対して、光電変換素子 1 1 0 では、第 2 スタックが、光電変換素子 8 0 の第 1 水素化アモルファス半導体膜 1 6、第 1 電荷保持層 4 2 及び第 1 低抵抗膜 2 0 からなるスタック（「第 1 スタック」と称する。）と同じく、結晶半導体 1 2 の第 1 表面 1 4 側に並置されて設けられる。

【 0 1 0 2 】

結晶半導体 1 2 の第 1 表面 1 4 には、第 1 スタックを構成する複数の第 1 水素化アモルファス半導体膜 1 1 2 が接して設けられる。各第 1 水素化アモルファス半導体膜 1 1 2 の表面には、第 1 電荷保持層 6 2 が接して設けられる。各第 1 電荷保持層 6 2 の表面には、第 1 低抵抗膜 2 0 が接して設けられる。また、第 1 表面 1 4 には、第 2 スタックを構成する複数の第 2 水素化アモルファス半導体膜 1 1 4 が接して設けられる。各第 2 水素化アモルファス半導体膜 1 1 4 の表面には、第 2 電荷保持層 1 1 6 が接して設けられる。各第 2 電荷保持層 1 1 6 の表面には、第 2 低抵抗膜 7 6 が接して設けられる。第 1 低抵抗膜 2 0 と第 2 低抵抗膜 7 6 とは、分離されている。第 2 電荷保持層 1 1 6 に保持される電荷の符号は、第 1 電荷保持層 6 2 に保持される電荷の符号と異なる。第 1 スタック及び第 2 スタックは、結晶半導体 1 2 の第 1 表面 1 4 に沿って交互に複数設けられる。第 2 スタックは、平面形状がおおよそ矩形の場合、矩形の短辺の幅は、キャリア収集効率の観点から少数キャリアの拡散長以下であることが望ましい。

20

30

【 0 1 0 3 】

光電変換素子 1 1 0 には、結晶半導体 1 2 の第 2 表面 2 2 側から光 2 6 が入射される。第 2 表面 2 2 でのキャリア再結合による光発生キャリアの損失を防ぐため、第 2 表面 2 2 には、第 3 水素化アモルファス半導体膜 1 1 8 が設けられる。また、光発生少数キャリアを追い返す表面電界を誘起するため、第 3 水素化アモルファス半導体膜 1 1 8 の表面には、第 3 電荷保持層 1 2 0 が設けられる。なお、第 3 電荷保持層 1 2 0 の電荷の極性は、結晶半導体 1 2 の領域の導電形の極性と異なる極性を有する。さらに、光の反射損失を防ぐために、第 3 電荷保持層 1 2 0 の表面には、反射防止膜 1 2 2 が設けられる。変換効率を確保するために、結晶半導体 1 2 の厚さ H は、少数キャリアの拡散長以内とする。

【 0 1 0 4 】

40

第 2 電荷保持層 1 1 6 の抵抗が大きい場合は、第 2 電荷保持層 1 1 6 を除去し、第 2 水素化アモルファス半導体膜 1 1 4 の表面に第 2 低抵抗膜 7 6 を直接設けた第 2 スタックとしても良い。また、図 1 5 に示す光電変換素子 1 1 0 a のように、第 1 電荷保持層 6 2 及び第 2 電荷保持層 1 1 6 を除去し、第 1 水素化アモルファス半導体膜 1 1 2 及び第 2 水素化アモルファス半導体膜 1 1 4 の表面に、第 1 低抵抗膜 2 0 及び第 2 低抵抗膜 7 6 を直接設ける構成としても良い。

【 0 1 0 5 】

光電変換素子 1 1 0、1 1 0 a では、入射される光 2 6 を遮る電極が結晶半導体 1 2 の第 2 表面 2 2 側にないため、光発生した少数キャリアを効率よく収集できる高効率な光電変換素子 1 1 0、1 1 0 a が実現される。

50

【0106】

第2水素化アモルファス半導体膜114は、第1水素化アモルファス半導体膜112と同一材料でよく、また、膜厚を同じにすることで同時に製膜することができる。また、第2電荷保持層116の電荷の符号と、第1電荷保持層62の電荷の符号とが異なっているため、第2低抵抗膜76は、第1低抵抗膜20とフェルミレベルが必ずしも異なる必要はなく、第1低抵抗膜20と同じ材料でよい。

【0107】

なお、本発明は、上述した実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【0108】

例えば、上述した各実施形態において、光が入射する第1水素化アモルファス半導体膜、第2水素化アモルファス半導体膜、第1電荷保持層又は第2電荷保持層の表面に反射防止膜を設けることにより、光の反射を減少させ、効率を改善することができる。また、外部に露出している第1低抵抗膜又は第2低抵抗膜の表面にも反射防止膜を設けることにより、これらの膜を保護することができる。

【0109】

また、上述した各実施形態において、光が入射する側に設けられる第1低抵抗膜、第2低抵抗膜又は電極は、光電変換される波長の光を透過する材料又は膜厚とすることが望ましい。なお、これらが光を透過する材料又は膜厚で構成される場合、光電変換素子の全面に設けてもよい。一方、これらが光に対して不透明な材料で構成される場合には、光を通過させるための間隙を介して複数に分割して設ける必要がある。

【0110】

また、上述した各実施形態において、結晶半導体12の第1表面14又は第2表面22に接している第1水素化アモルファス半導体膜又は第2水素化アモルファス半導体膜の表面には、第1低抵抗膜又は第2低抵抗膜が設けられる位置の少なくともその一部に対応して、膜厚の薄い部分となる凹部を形成してもよい。この場合、第1水素化アモルファス半導体膜又は第2水素化アモルファス半導体膜の少なくとも一方には、凹部により膜厚の薄い部分と厚い部分とが形成されることになる。第1低抵抗膜又は第2低抵抗膜の少なくとも一方を凹部に対応して設けることにより、第1水素化アモルファス半導体膜又は第2水素化アモルファス半導体膜の少なくとも一方の抵抗を小さくして、電流を効率的に引き出すことができる。

【産業上の利用可能性】

【0111】

本発明の光電変換素子は、低照度域の光電変換素子、短波長感度の優れた光電変換素子、さらには、高効率太陽電池として利用することができる。

【符号の説明】

【0112】

10、30、40、50、60、70、70a、70b、80、90、100、110、
110a ... 光電変換素子
12 ... 結晶半導体
14 ... 第1表面
16、112 ... 第1水素化アモルファス半導体膜
18、44、74、84 ... 表面
20、54 ... 第1低抵抗膜
22 ... 第2表面
24、32 ... 電極
26 ... 光
28、78 ... 間隙
34 ... パッシベーション膜
42、62 ... 第1電荷保持層

10

20

30

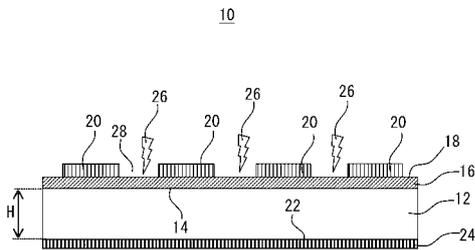
40

50

- 5 2 ... パッシベーション膜兼反射防止膜
- 7 2、1 1 4 ... 第2水素化アモルファス半導体膜
- 7 6 ... 第2低抵抗膜
- 8 2、9 2、1 1 6 ... 第2電荷保持層
- 1 0 2、1 2 2 ... 反射防止膜
- 1 1 8 ... 第3水素化アモルファス半導体膜
- 1 2 0 ... 第3電荷保持層

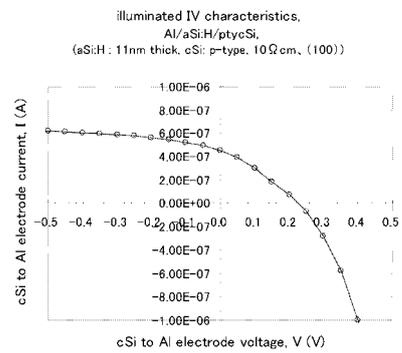
【 図 1 】

FIG. 1



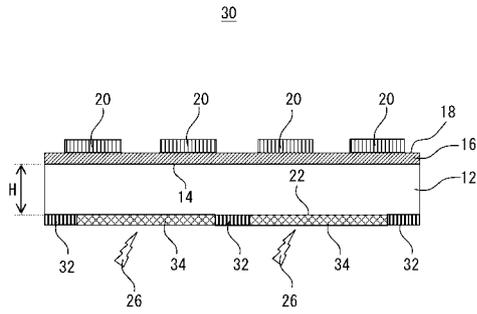
【 図 2 】

FIG. 2



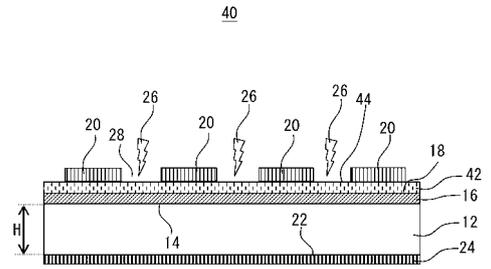
【 図 3 】

FIG. 3



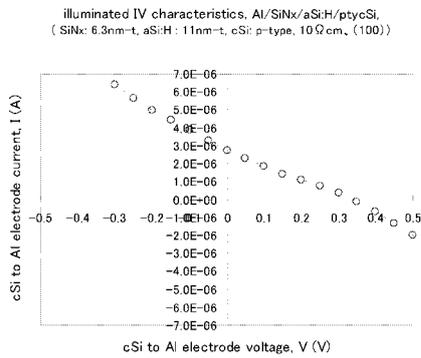
【 図 4 】

FIG. 4



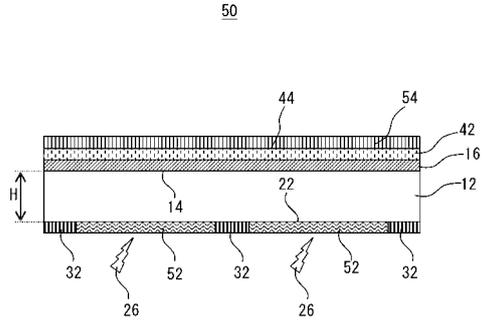
【 図 5 】

FIG. 5



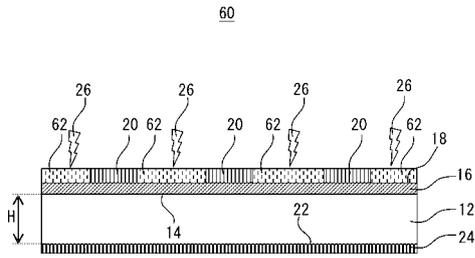
【 図 6 】

FIG. 6



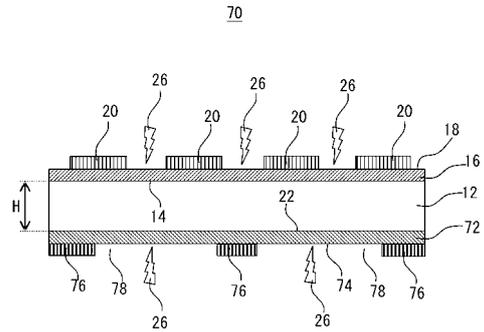
【 図 7 】

FIG. 7



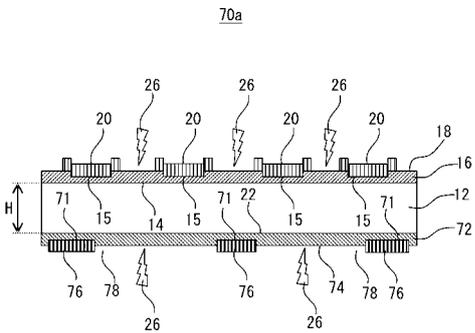
【 図 8 】

FIG. 8



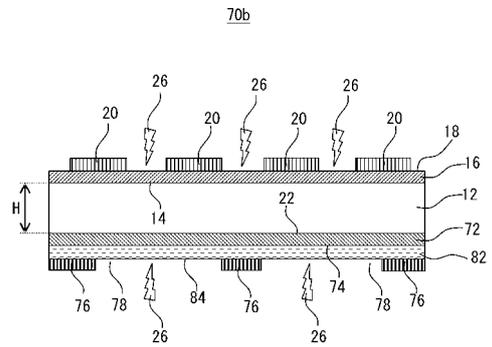
【 図 9 】

FIG. 9



【 図 10 】

FIG. 10

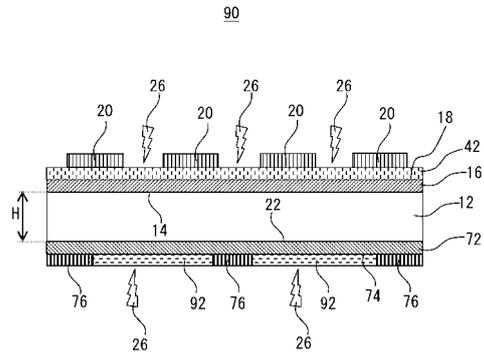
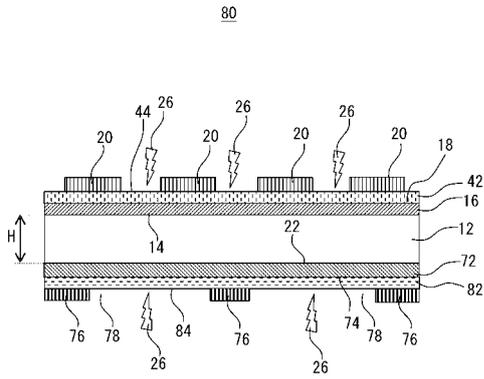


【 図 1 1 】

【 図 1 2 】

FIG. 11

FIG. 12

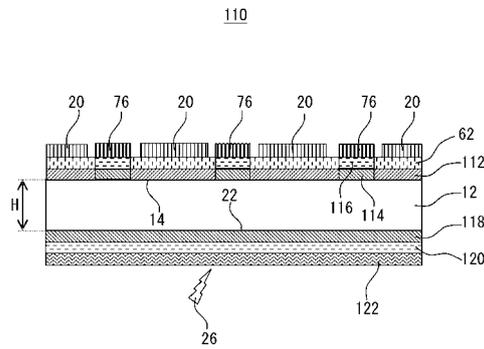
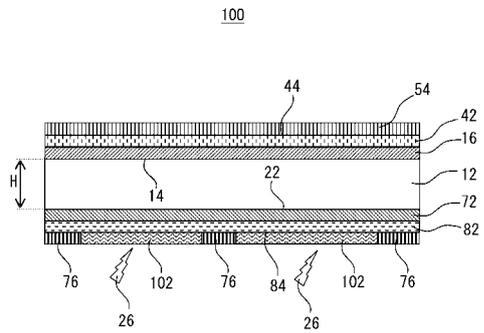


【 図 1 3 】

【 図 1 4 】

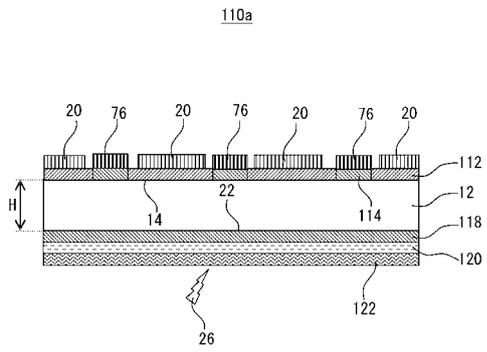
FIG. 13

FIG. 14



【 図 1 5 】

FIG. 15



フロントページの続き

Fターム(参考) 5F151 AA02 AA03 AA05 CA15 DA08 FA06